|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Cahier des charges :** **prestation d'harmonisation de la plateforme de validation pour le test et la vérification de conception ASIC numérique du CEA** | | | | |
| Date : 14 Février 2025 | | | Révision : V 1.0 | |
| N / Réf. : LIST/DSCIN/25-0014 | | |  | |
| Participants à l’étude : | F. LEPIN | | | |
|  | Nom | Fonction | | Date et signature |
| Rédacteur(s) : | M. PEZZIN | Chef de projet | |  |
| Vérificateur(s) et approbateur(s) : | F. LEPIN | Chef de Laboratoire | |  |
| Approbateur(s) : | O. LAHAYE | Correspondant sécurité LIST | |  |
| Approbateur(s) : | O. THOMAS | Adjoint chef de département | |  |
| Liste de diffusion : | **Service achats** : Isabelle BOREL DG/CEAGRE/DPRSG/SMA/BLS  **Département DSCIN :** Thomas DOMBEK | | | |

|  |  |  |
| --- | --- | --- |
| **HISTORIQUE** | | |
| **Nature des modifications** | **Date** | **Version** |
| Création du document (Florent LEPIN) | 14/02/2025 | V1.0 |
|  |  |  |

|  |
| --- |
| **TABLE DES MATIÈRES** |

[1 CONTEXTE 3](#_Toc160201758)

[1.1 Présentation de l’unité 3](#_Toc160201759)

[1.2 Présentation du projet 3](#_Toc160201760)

[2 TACHES A EFFECTUER 4](#_Toc160201761)

[3 COMPETENCES REQUISES 5](#_Toc160201762)

[4 LIVRABLES ET ECHEANCIER 5](#_Toc160201763)

[5 CONDITIONS D’EXECUTION 6](#_Toc160201764)

[5.1 Mise à disposition de locaux et équipements 6](#_Toc160201765)

[5.2 Mise à disposition de fichiers ou programmes informatiques 6](#_Toc160201766)

[5.3 Suivi 6](#_Toc160201767)

[5.4 Confidentialité 7](#_Toc160201768)

[6 CONTACTS 7](#_Toc160201769)

# CONTEXTE

Le List, institut de [CEA Tech](http://www.cea-tech.fr/cea-tech), focalise ses recherches sur les systèmes numériques intelligents. Porteurs d’enjeux économiques et sociétaux majeurs, ses programmes de R&D sont centrés sur l’intelligence artificielle, l’usine du futur, l’instrumentation innovante, les systèmes cyberphysiques et la santé numérique.

Le département DSCIN, Département des Systèmes et Circuits Intégrés Numériques appartenant au LIST regroupe 6 laboratoires

Le laboratoire LFIM, Laboratoire Fonctions Innovantes pour circuits Mixte est l’un de ces 6 laboratoires

## Présentation de l’unité

La mission du LFIM est d’étudier et concevoir des systèmes électroniques et logiciels répondant à des exigences d’efficacité énergétique, de taille et d’intégration avancée, de sûreté de fonctionnement, de temps-réel, de protection des données, de coût de conception et facilité de gestion.

Ces systèmes trouvent leurs applications dans les domaines des systèmes embarqués (transport, énergie, objets connectés), l’électronique grand public et professionnelle.

Les technologies développées au sein du laboratoire font appel aux dernières avancées en nanoélectronique, algorithmie, automatisme et cryptographie, et répondent aux enjeux sociétaux du développement durable et de la confiance dans les systèmes numériques, tout en permettant de soutenir le développement de nouveaux usages rendus possibles grâce aux nouvelles technologies de l’information et de la communication.

Le LFIM étudie et intègre sur silicium des architectures de traitement numériques et mixtes pour les besoins applicatifs dans le domaine de l’IoT, des circuits radiofréquence et de réseaux de capteurs actionneurs.

Il développe également des circuits élémentaires permettant de valider les nouveaux concepts (en particulier sur les nouveaux MOS – « Metal Oxyde Semiconductor » -), les mémoires avancées et les dispositifs à base de nanotechnologies.

Enfin, il étudie et applique à des prototypes des solutions post-CMOS en rupture.

## Présentation du projet

Les travaux proposés dans le présent cahier des charges s’inscrivent dans un contexte de co-conception logicielle/matérielle d’asic et de la plateforme de conception.

Le découpage des tâches proposé est fait dans l’objectif d’harmoniser les contributions et de rendre la plateforme générique et réutilisable à base de processeur RISC V aussi bien lors de la phase de développement que de test

# TACHES A EFFECTUER

La prestation demandée se décompose comme suit :

* Tâches 1 à 6 (tranche ferme, durée estimative de 6 mois
* Tâches 7 à 12 (tranche optionnelle, durée estimative de 6 mois.

**Date de démarrage souhaitée : 14 avril 2025.**

L’offre technique détaillée doit impérativement comprendre :

* Le détail des compétences que le soumissionnaire s’engage à affecter à l’exécution des prestations du présent cahier des charges
* Les mesures prévues afin d’assurer la continuité des prestations en cas de défaillance du personnel, de pic d’activité, …
* Un descriptif détaillé des compétences de la société dans les différents domaines qui concernent ce présent cahier des charges
* Le délai d’intervention
* Le délai de réalisation et les ressources associées.

Le design-kit et les informations techniques de la technologie CMOS sont fournis par le CEA en accord avec le fondeur.

Les tâches à réaliser sont les suivantes : Harmoniser les contributions et rendre la plateforme générique et réutilisable aussi bien lors de la phase de développement que de test

**Tranche Ferme :**

* **Tâche 1:** Recensement et mise en commun (mise au propre et intégration dans la plateforme commune réutilisable) des tests unitaires des briques de bases (RAM, UART, GPIO, SPI).
* **Tâche 2:** Recensement et mise en commun (mise au propre et intégration dans la plateforme commune réutilisable) des tests unitaires des briques proche processeur (Contrôleurs d’interruptions, DMA).
* **Tâche 3:** Recensement et mise en commun (mise au propre et intégration dans la plateforme commune réutilisable) des tests unitaires du processeur RISC V 32b avec exécution de code.
* **Tâche 4:** Recensement et mise en commun (mise au propre et intégration dans la plateforme commune réutilisable) des tests unitaires du processeur RISC V 64b avec exécution de code.
* **Tâche 5:** Mise en œuvre de scénarios de test complexes au niveau système mettant en œuvre processeurs et périphériques.
* **Tâche 6:** Rédaction de la documentation de l’ensemble des travaux de la tâche 1 à 5.

**Tranche optionnelle :**

* **Tâche 7:** Préparation des tests en labo d’un premier circuit sur la base de la plateforme commune issue de la tranche ferme.
* **Tâche 8:** Mise au point et réalisation des tests en labo pour le premier circuit.
* **Tâche 9:** rédaction de la documentation de l’ensemble des travaux de la tâche 7 à 8.
* **Tâche 10:** Préparation des tests en labo d’un deuxième circuit sur la base de la plateforme commune issue de la tranche ferme.
* **Tâche 11:** Mise au point et réalisation des tests en labo pour le deuxième circuit.
* **Tâche 12:** Rédaction de la documentation de l’ensemble des travaux de la tâche 10 à 11.

# COMPETENCES REQUISES

Le domaine technique du design et de la vérification de circuits numériques complexes en général est une compétence indispensable pour pouvoir réaliser cette prestation dans de bonnes conditions.

Plus spécifiquement une **expérience significative** en vérification fonctionnelle de SoC est absolument nécessaire.

Domaines d’expertise devant être impérativement couverts :

* Expérience de programmation de processeur indispensable (RISC V est un plus)
* Outils de simulation numérique (Mentor)
* Développement de code RTL pour la vérification (VHDL, Verilog, System Verilog)
* Une expérience en systemC, C/C++, PYTHON.

Domaines d’expertise supplémentaires pouvant être couverts :

* Expérience de design asic.

# LIVRABLES ET ECHEANCIER

Des livrables sont associés à chaque tâche et constituent une clé de paiement.

Les livrables associés à chacune de ces tâches seront sous la forme de code source RTL, avec le code de test associé, et la documentation correspondante.

**Tranche Ferme :**

* **Livrable 1:** Liste des tests et intégration du code nettoyé des briques de base.
* **Livrable 2:** Liste des tests et intégration du code nettoyé des briques proche processeur.
* **Livrable 3:** Liste des tests et intégration du code nettoyé des briques du processeur RISC V 32b avec exécution de code.
* **Livrable 4:** Liste des tests et intégration du code nettoyé des briques du processeur RISC V 64b avec exécution de code.
* **Livrable 5:** Patterns des tests permettant d’exécuter l’ensemble des tests des tâche 1 à 4 au niveau système (top).
* **Livrable 6:** Documentation de la tranche 1 à 5.

**Tranche optionnelle :**

* **Livrable 7:** Mise à jour des patterns et de l’environnement de test pour le premier circuit et plan de test associé.
* **Livrable 8:** Données brutes liées à la campagne de test du premier circuit.
* **Livrable 9:** Documentation s’appuyant sur les données des tests pour le premier circuit de la tranche 7 à 8.
* **Livrable 10:** Mise à jour des patterns et de l’environnement de test pour le deuxième circuit et plan de test associé.
* **Livrable 11:** Données brutes liées à la campagne de test du deuxième circuit.
* **Livrable 12:** Documentation s’appuyant sur les données des tests pour le deuxième circuit de la tranche 10 à 11.

Tous les documents remis au CEA sont réalisés aux formats suivants (ou strictement compatibles) :

* Microsoft WORD, au minimum dans la version docx, pour les documents de type texte ;
* Microsoft EXCEL, au minimum dans la version xlsx, pour les documents de type tableau de chiffres ;
* Microsoft POWERPOINT, au minimum dans la version pptx;
* Fichiers texte pour les tests de vérification et les scripts. Le code doit impérativement être bien structuré et documenté avec des commentaires.

Chaque livrable est remis en version provisoire au CEA pour transmission de ses observations éventuelles ou de son approbation sous 15 jours ouvrés suivant sa réception. Le livrable est remis au CEA en version définitive par le prestataire après intégration le cas échéant de ces observations, à la date fixée dans la commande.

Les délais mentionnés dans la commande tiennent compte des délais nécessaires au CEA pour l’approbation ou la remise d’observations sur la version provisoire.

Ces approbations ou observations intermédiaires ne peuvent en aucun cas différer ou décaler la date de remise des livrables.

Le prestataire doit prendre toutes dispositions pour solliciter en temps utiles toute décision du CEA lui permettant de remettre ses livrables en version définitive aux dates convenues.

Pour chaque prestation réalisée, une acceptation est effectuée par le correspondant du CEA après remise de tous les livrables en version définitive. Celle-ci donne lieu à l’établissement d’un procès-verbal d’acceptation signé contradictoirement par les parties.

# CONDITIONS D’EXECUTION

## Mise à disposition de locaux et équipements

La prestation est effectuée sur le site du CEA Grenoble.

Une station de travail Linux est mise à disposition sur site pour les besoins de la prestation.

Les conditions de mise à disposition sont décrites dans le document « Projet de Marché » joint au présent dossier de consultation des entreprises.

## Mise à disposition de fichiers ou programmes informatiques

Dans le cadre des prestations confiées au prestataire et pour leur bonne exécution, le CEA met à sa disposition des fichiers informatiques de données, des programmes informatiques, sous quelque forme que ce soit (codes sources, codes objets, codes exécutables).

La spécification détaillée du circuit sera accessible.

Le flot de conception repose sur les outils tournant dans l’environnement SUN SOLARIS ou Linux – Redhat, disponibles au sein du Département DSCIN (Architecture, conception et logiciel embarqué) du LIST au CEA Grenoble :

* Outils CADENCE, SYNOPSYS, MENTOR GRAPHICS, MATLAB, ADS, ANSOFT, …

Les outils logiciels nécessaires à la réalisation des prestations sont mis à la disposition du prestataire dans un ou des bureaux dédiés.

## Suivi

En cas de problème technique, des réunions « projet » pourront être organisées entre les responsables techniques CEA et le prestataire identifiés dans le marché.

Toutes ces activités de suivi (réunions et comptes rendus) sont comprises dans le prix indiqué dans l’offre financière. Le compte rendu sera à la charge du prestataire et devra être remis sous 48 heures.

## Confidentialité

Les obligations en matière de secret et de confidentialité sont régies par l’article 11 des Conditions Générales d’Achats (CGA) du CEA.

Le prestataire doit préciser quelles sont les informations confidentielles contenues dans son offre. Il précise l’usage qui peut en être fait, la durée de l’obligation de confidentialité, les personnes tenues au secret et les personnes auxquelles l’information ne doit pas être transmise.

# CONTACTS

Pour toute demande d’information, contacter :

1/ Informations commerciales

Mme Isabelle BOREL – tel : 04 38 78 13 36 – courriel : isabelle.borel@cea.fr

CEA-GRENOBLE

Service Achats – Bureau LOGISTIQUE DES SITES

17, Rue des Martyrs

38054 GRENOBLE CEDEX 09

2/ Informations techniques

M Florent LEPIN – Tél. : 04.38.78.17.88 – courriel : florent.lepin@cea.fr

CEA-GRENOBLE

LIST/DSCIN

17, Rue des Martyrs

38054 GRENOBLE CEDEX 09