

# TestChip FMCW1

## Cahier des charges

Date : 10/12/2024

Révision : 2.1

N / Réf. Chrono: DRT-LETI-DOPT-SCIM-LIS-24-12-002790

V / Réf : CdC\_FMCW1

	Nom	Fonction	Date	Signature
Rédigé par	Josep SEGURA	Ingénieur-Chercheur	10/12/2024	
Vérifié par	Laurent GEORJON	Chef de Laboratoire	12/12/2024	
	Hugo DEWITTE	Ingénieur de Conception	12/12/2024	

Diffusion			
Classification	Aucune <input checked="" type="checkbox"/>	Diffusion restreinte <input type="checkbox"/>	Autre <input type="checkbox"/>
Service achats	Valérie DIELNA		
Département DOPT	Sébastien BECKER		

## HISTORIQUE

Objet des modifications	Date	Version
Original	31/08/2024	0.1
Version pour envoi en consultation	11/10/2024	1.0
Version pour appel d'offre	06/12/2024	2.0
Version avec options pour publication appel d'offre	10/12/2024	2.1

## RESUME

Cahier des charges et description du testchip FMCW1.

## MOTS-CLES

# TABLE DES MATIERES

<b>1</b>	<b>Introduction .....</b>	<b>8</b>
1.1	Présentation.....	8
1.2	Objet de la prestation .....	8
1.3	Livrables.....	9
1.3.1	Offre commerciale.....	10
1.4	Contrôle de la prestation .....	10
1.5	Environnement conception .....	10
1.5.1	Technologie .....	10
1.5.2	Design Kit.....	11
1.5.3	Bibliothèques.....	12
1.5.4	Nomenclature signaux.....	13
1.5.5	Réalisation des schémas.....	13
1.5.6	Simulations .....	13
1.5.7	Réalisation layout .....	14
1.5.8	Empilement 3D .....	14
<b>2</b>	<b>Architecture .....</b>	<b>17</b>
2.1	Description générale.....	17
2.2	Spécifications générales.....	17
2.3	CAB : diagramme de blocs.....	18
2.3.1	Description succincte de chaque bloc .....	18
2.3.2	Fonction Region Of Interest (ROI) ( <i>OPTION</i> ) .....	20
2.3.3	Fréquences de fonctionnement .....	21
<b>3</b>	<b>Pixel et matrice .....</b>	<b>23</b>
3.1	Pixel.....	23
3.1.1	Pixel FMCW .....	23
3.2	Matrice .....	24
<b>4</b>	<b>Adressage vertical.....</b>	<b>25</b>
4.1	Description.....	25
4.2	Masque ROI_V ( <i>OPTION</i> ) .....	27
4.3	Registre vertical VSR.....	27
4.3.1	Registre à décalage 5 phases.....	27
4.4	LOGIC_OUT_VSR.....	28
4.4.1	LOGIC_OUT_VSR_SR.....	28
4.4.2	LOGIC_OUT_VSR_LVL .....	29
4.4.3	LOGIC_OUT_VSR_3_LEVEL .....	30
4.5	LEVEL_TRANSLATOR .....	31
4.6	Exemples chronogrammes VSR .....	34
4.6.1	MATRICE PIXEL FMCW.....	34

<b>5</b>	<b><i>Adressage horizontal</i></b>	<b>35</b>
5.1	Chemin du signal	35
5.2	Registre HSR	35
5.3	Masque ROI_H ( <i>OPTION</i> )	37
5.4	Bloc CDS	37
5.4.1	Bloc built-in CDS	38
5.5	Arbre d'interrupteurs (SWITCH_TREE)	40
5.6	Bitline test (BLT)	41
5.6.1	Fonction test électrique	41
5.6.2	Fonction White Clamp	42
5.7	Fonction de précharge	43
5.8	Chronogramme	43
<b>6</b>	<b><i>Buffers analogiques de sortie</i></b>	<b>45</b>
6.1	Amplificateur rapide (FAB)	45
6.2	Amplificateur faible bruit (LNAB)	46
<b>7</b>	<b><i>Circuits auxiliaires</i></b>	<b>48</b>
7.1	Générateurs d'horloge (CLOCK_GEN)	48
7.2	Registre de configuration (REGCONF)	48
7.3	Générateur de bias (BIAS_GEN)	52
7.3.1	Amplificateur OPCS	53
7.4	Capteur température (TS) ( <i>OPTION</i> )	55
<b>8</b>	<b><i>Design for test</i></b>	<b>56</b>
8.1	Monitoring analogique (MUX_ANA)	56
8.2	Monitoring numérique (MUX_DIG)	56
8.3	Liste signaux internes pour monitoring	57
<b>9</b>	<b><i>Blindages, alimentations et découplages</i></b>	<b>58</b>
<b>10</b>	<b><i>Récapitulatif Entrées / Sorties</i></b>	<b>59</b>
<b>11</b>	<b><i>Mise en boîtier</i></b>	<b>66</b>
<b>12</b>	<b><i>Suivi</i></b>	<b>67</b>
<b>13</b>	<b><i>Confidentialité</i></b>	<b>67</b>
<b>14</b>	<b><i>Contacts</i></b>	<b>67</b>
<b>15</b>	<b><i>ANNEXE 1</i></b>	<b>68</b>
15.1	PIXEL 5T. MODE GS	68
15.2	PIXEL 5T. MODE RS	70

## TABLE DES ILLUSTRATIONS

Figure 1-1 Connexions CAB - PIXMTRX.....	15
Figure 1-2 Empilement PIXMTRX < CAB.....	15
Figure 1-3 Empilement PIXMTRX > CAB.....	16
Figure 2-1 Schéma blocs.....	18
Figure 2-2 Exemple zones ROI.....	20
Figure 2-3 Chronogramme lecture sur deux lignes.....	21
Figure 3-1 Architectures pixels.....	23
Figure 3-2 Distribution matrice de pixels.....	24
Figure 4-1 Exemple de chronogramme pixel FMCW en mode GS.....	25
Figure 4-2 Deux étapes ROI_V + VSR côté gauche (L).....	26
Figure 4-3 Deux étapes ROI_V + VSR côté droit (R).....	26
Figure 4-4 Schéma de principe LOGIC_ROI_VSR.....	27
Figure 4-5 Exemple circuit LOGIC_OUT_VSR_SR.....	29
Figure 4-6 Exemple circuit LOGIC_OUT_VSR_LVL.....	30
Figure 4-7 Exemple circuit 3_LEVEL.....	31
Figure 4-8 Schéma blocs LEVEL_TRANSLATOR.....	32
Figure 4-9 Sources de courant pour contrôle de pentes (BIAS CTRL RISE/FALL).....	33
Figure 4-10 Chronogramme adressage vertical matrice FMCW (mode RS).....	34
Figure 5-1 Chemin du signal.....	35
Figure 5-2 Adressage horizontal.....	36
Figure 5-3 Schéma LOGIC_OUT_HSR.....	36
Figure 5-4 Registre commande interrupteurs B.....	37
Figure 5-5 Sections GrpB colonnes TOP et BOTTOM.....	37
Figure 5-6 Bloc CDS.....	38
Figure 5-7 Bloc built-in CDS.....	39
Figure 5-8 Logique commandes interrupteurs CDS.....	39
Figure 5-9 Répartition courant Ipsfhi.....	40
Figure 5-10 Arbre d'interrupteurs (SWITCH_TREE).....	41
Figure 5-11 Bitline test BLT.....	42
Figure 5-12 Chronogramme BitLine Test.....	42
Figure 5-13 Chronogramme White Clamp.....	43
Figure 5-14 Chronogramme adressage horizontal.....	44
Figure 6-1 Schéma FAB.....	46
Figure 7-1 Générateur horloge non-recouvrante.....	48
Figure 7-2 Circuit de précharge (PRELOAD).....	48
Figure 7-3 Registre REGCONF.....	52

N / Ref : DRT-LETI-DOPT-SCIM-LIS-24-12-002790

Figure 7-4 Générateur de bias .....	52
Figure 7-5 Circuit d'auto-polarisation.....	53
Figure 7-6 Schéma amplificateur OPCS .....	54
Figure 7-7 Générateur de bias colonnes .....	54
Figure 7-8 Capteur température.....	55
Figure 8-1 Multiplexeurs analogiques ((MUX_ANA)) .....	56
Figure 8-2 Multiplexeurs digitaux (MUX_DIG) .....	56
Figure 9-1 Connexions VSS et DVSS .....	58
Figure 9-2 Éléments parasites alimentations.....	58
Figure 15-1 Chronogramme adressage vertical mode Global Shutter. Fin d'intégration, début de lecture .....	68
Figure 15-2 Chronogramme adressage vertical mode Global Shutter. Début d'intégration.....	69
Figure 15-3 Chronogramme adressage vertical, mode Rolling Shutter. Début d'intégration .....	70
Figure 15-4 Chronogramme adressage vertical, mode Rolling Shutter. Fin d'intégration-lecture.....	71

## TABLE DES TABLEAUX

Tableau 1 Liste et calendrier des livrables .....	9
Tableau 2 Design Kit ST CMOS028FDSOI .....	11
Tableau 3 Bibliothèques Std Cell .....	12
Tableau 4 Conditions de simulation .....	14
Tableau 5 Caractéristiques générales.....	17
Tableau 6 Distribution des temps de trame (pixel FMCW).....	22
Tableau 7 Spécifications sorties LEVEL_TRANSLATOR .....	32
Tableau 8 Valeurs paramètres CDS .....	40
Tableau 9 Spécifications FAB .....	45
Tableau 10 Spécifications LNAB.....	47
Tableau 11 Registre REGCONF .....	49
Tableau 12 Spécifications OPCS.....	53
Tableau 13 Liste signaux internes pour monitoring .....	57
Tableau 14 Liste d'entrées / sorties .....	59
Tableau 15 Alimentations (provisoire) .....	64

# 1 Introduction

## 1.1 Présentation

Le testchip LIS\_FMCW1 est une plateforme CMOS essentiellement destinée à la caractérisation électro-optique des pixels conçus au sein du LIS, ainsi qu'aux différents développements technologiques concernant les filtres, les microlentilles, etc.

La technologie utilisée est de type empilée 3D, car la matrice de pixels (PIXMTRX) et le circuit de pilotage (CAB, Custom Analog Block) sont réalisés sur deux couches différentes connectées par la technique « Hybrid Bonding (3D) ». Plus précisément, PIXMTRX, ainsi que la couronne de plots d'entrée/sortie, sont sur la couche 1 (Tier 1) et le CAB sur la couche 2 (Tier2). Les pixels du bloc PIXMTRX développés au LETI, ainsi que les plots E/S sont développés sous la technologie imageur IMG040 de ST Microelectronics et tous les circuits périphériques (CAB) sous la technologie FDSOI028 du même fondeur. Des procédés de conception et les vérifications correspondantes spécifiques pour l'assemblage entre les deux couches doit être pris en compte lors de la génération du circuit.

Puisqu'il s'agit d'un instrument d'évaluation et de caractérisation, il possède une série de caractéristiques permettant une haute précision de mesure ainsi qu'une grande flexibilité de mise en œuvre.

Un certain nombre de fonctions de test et de monitoring des signaux internes seront réalisées pour faciliter la mise en œuvre et le diagnostic du circuit.

Les parties logiques permettront un maximum de souplesse pour l'implémentation de différents modes de pilotage.

## 1.2 Objet de la prestation

Le CEA/LETI établit ce cahier des charges qui décrit en détail les caractéristiques souhaitées du circuit, ainsi que des schémas de réalisation des différentes parties.

Ce document est susceptible de subir des modifications mineures en vue de corriger les erreurs non détectées ou des évolutions propres à la prestation. Tout changement majeur concernant l'architecture du circuit, les fonctions des blocs ou les spécifications nécessitant d'une remise en cause importante de la conception pourra faire l'objet d'une révision du contrat.

Un planning de la prestation ainsi qu'un calendrier de livraisons sont présentés dans la section 1.3.

La partie correspondante au Tier 1 (IMG040) sera réalisée au CEA/LETI. Cela comprend donc le pixel, la matrice de pixels et la couronne de plots E/S, ainsi que la génération de dummies et des motifs de finition (logo, pattern, etc.) sur cette couche. Les vérifications finales avant tapeout (signoff LVS, DRC, antenne, etc.) seront également effectuées au LETI.

Les bases de données (tapeout) destinées au fondeur sera générée et fournie par le CEA/LETI.

Le diagramme de bonding, ainsi que la mise en boîtier du chip seront à la charge du CEA/LETI.

Le prestataire réalisera exclusivement les blocs du circuit de pilotage sur le Tier2 ainsi que toute la connectivité nécessaire pour l'hybridation au Tier1. Il n'utilisera donc que la plateforme FDSOI028 compatible avec l'assemblage 3D avec la technologie imageur. Il effectuera les travaux dans ses locaux. Il est donc indispensable qu'il dispose des moyens informatiques adéquats, du PDK (Process Design Kit) du fondeur et les outils CAO correspondants (voir paragraphe 1.5.2) ainsi que les compétences adaptées afin de réaliser la prestation (expérience, outils, environnement).

Le prestataire réalise la saisie de schémas sous la plateforme choisie sous l'environnement de conception défini dans ce document, tel que la cartouche, la nomenclature des blocs et des signaux et la définition des plots d'entrée-sortie.

Les schémas doivent être conçus pour une bonne lisibilité, enrichis avec des commentaires et autres types d'informations utiles à la compréhension et à l'interprétation (valeurs de courant bias, etc.).



N / Ref : DRT-LETI-DOPT-SCIM-LIS-24-12-002790

Les schémas doivent être validés par des simulations électriques qui comprennent tout type de variabilité du procédé de fabrication (typique, corners, Monte-Carlo (mismatch & process)) et de conditions de fonctionnement du circuit (alimentations, température).

Des revues sont régulièrement organisées afin de valider les choix adoptés pour chaque partie du circuit.

Le prestataire livre les rapports de conception correspondants à chaque bloc du circuit, en décrivant les justifications des différents choix et en incluant les résumés des calculs et simulations réalisés.

Le prestataire réalise les travaux d'implantation physique (layout) du circuit, excepté les blocs pixel et matrice de pixels. Il suit également les directives exposées dans ce cahier des charges. Il réalisera les vérifications LVS, DRC, antenna des parties lui concernant.

Une extraction d'éléments parasites du layout est effectuée afin de :

- retroannoter le schéma avec les capacités parasites
- réaliser des simulations post-layout (capacités + résistances si nécessaire).

Une série de simulations de l'ensemble du circuit (simulations top, incluant les plots E/S) doivent être effectuées afin de garantir la fonctionnalité globale et pour vérifier la consommation des différentes alimentations. La mise en place des différents testbenchs doivent couvrir un maximum des différents modes de fonctionnement du système.

La base de données Cadence est fournie par le prestataire. Elle doit contenir toute la schématique finale et son layout correspondant, ainsi que les configurations testbench associées pour les différentes simulations.

### 1.3 Livrables

Les livrables sont définis par rapport aux différents blocs du circuit définis dans ce document:

- **L1** - Blocs Adressage Vertical : (ROI\_V + VSR + LOGIC\_OUT\_VSR)
- **L2** - Blocs Translateurs de niveau : (LEVEL\_SHIFTER + BUFFER + BIAS\_CTRL\_RISE/FALL)
- **L3** - Blocs Adressage Horizontal: (ROI\_H + HSR + BLT)
- **L4** - Bloc Analog Readout: (CDS + SWITCH\_TREE)
- **L5** - Low Noise Analog Buffer : (LNAB)
- **L6** - Circuits auxiliaires : (FAB + CLOCK\_GEN + REGCONF + BIAS\_GEN + OPCS + TS + MUX\_ANA + MUX\_DIG)
- **L7** - Circuit final assemblé avec documentation complète

Trois sous-circuits sont ici en options : ROI\_V, ROI\_H et le TS. Ces options seront également chiffrées dans l'offre commerciale mais elles seront susceptibles d'être retirées avant la notification du marché. L'absence ou la présence de ces options n'influencent pas les délais présentés ci-dessous.

Le délai de réalisation du projet complet est de 26 semaines réparti comme suit :

Tableau 1 Liste et calendrier des livrables

Livable	T0 + semaines	Description
<b>L1</b>	<b>T0 + 5</b>	<b>Blocs Adressage Vertical</b>
<b>L2</b>	<b>T0 + 8</b>	<b>Bloc Level Translator Vertical</b>
<b>L3</b>	<b>T0 + 12</b>	<b>Blocs Adressage Horizontal</b>
<b>L4</b>	<b>T0 + 16</b>	<b>Bloc Analog Readout ARD</b>
<b>L5</b>	<b>T0 + 19</b>	<b>Bloc Low Noise Analog Buffer LNAB</b>
<b>L6</b>	<b>T0 + 22</b>	<b>Circuits auxiliaires</b>
<b>L7</b>	<b>T0 + 26</b>	<b>Circuit final assemblé + documentation complète</b>

Des rapports de simulations post-layout et des schémas retro-annotés associés seront également fournis.

Comme souligné dans le chapitre 1.2, chaque sous bloc des différents livrables doit être préalablement validé lors des différentes réunions d'avancement entre les deux parties conformément au CdC

### 1.3.1 Offre commerciale

Le montant des prestations dans l'offre commerciale doit détailler le prix de chaque livrable qui sera à la fois décomposé en sous-totaux correspondants à chaque bloc tels que définis dans le paragraphe précédent. Un tableau détaillé à remplir est proposé en pièce jointe.

Chaque livrable doit être complet incluant tous les sous-blocs. Un suffixe S ou L est indexé à chaque livrable. Il correspond aux ensembles suivants :

- Lx.S Base de données Cadence avec schémas validés de chaque livrable complet, avec leurs rapports de conception et de simulation associés.
- Lx.L Base de données Cadence avec layouts validés de chaque livrable complet.

## 1.4 Contrôle de la prestation

Chaque livrable doit démontrer la fonctionnalité des circuits comme étant celle décrite dans ce document. Chaque circuit livré doit également répondre aux exigences de bruit, consommation et surface décrites dans ce document.

Ces fonctionnalités et exigences doivent être validés par des simulations électriques qui comprennent tout type de variabilité du procédé de fabrication (typique, corners, Monte-Carlo (mismatch & process)) et de conditions de fonctionnement du circuit (alimentations, température).

Chaque livrable doit également être accompagné d'un rapport de conception justifiant les différents choix et incluant les résumés des calculs et des simulations réalisées.

Les livrables Lx.L sont accompagnés d'une extraction d'éléments parasites du layout (utilisé ensuite pour retroannoter le schéma avec les capacités parasites) et de simulations post-layout (capacités + résistances si nécessaire).

Le livrable final (L7) doit être accompagné d'une série de simulations de l'ensemble du circuit (simulations top, incluant les plots E/S) afin de démontrer la fonctionnalité globale du circuit correspondant aux descriptions faites dans ce document et pour vérifier que la consommation des différentes alimentations suit les critères décrits dans ce document. La mise en place de ces différents testbenches doivent couvrir un maximum des différents modes de fonctionnement du système.

Pour chacun des livrables, la base de données Cadence est fournie par le prestataire. Elle doit contenir toute la schématique finale et son layout correspondant, ainsi que les configurations testbench associées pour les différentes simulations. Les schémas doivent être conçus afin de permettre une bonne lisibilité, enrichis avec des commentaires et autres types d'informations utiles à la compréhension et à l'interprétation (valeurs de courant bias, etc.).

L'ensemble des schémas livrés respectent les règles de conception défini dans ce document, tel que la cartouche, la nomenclature des blocs et des signaux et la définition des plots d'entrée-sortie.

## 1.5 Environnement conception

### 1.5.1 Technologie

La plateforme technologique visée est FDSOI028\_3DI du fondeur ST Microelectronics.

Elle propose 10 niveaux de métal (dont 2 épais) et plusieurs types de transistors à simple et double oxyde ainsi que les plots de connexion 3D par Hybrid Bonding. Le périmètre visé est le 3D28\_PG

N / Ref : DRT-LETI-DOPT-SCIM-LIS-24-12-002790

(CMOS028FDSOI 3D\_Integration PhotoGate perimeter) qui permet l'hybridation avec la technologie imageur IMG040.

Une alternative triple well (Deep N-Well) pour l'implémentation de P-well isolé permet notamment d'isoler les dispositifs CMOS (nfettw et pfettw). Cette couche peut notamment être utilisée dans les zones soumises à des tensions négatives.

Une série de bibliothèques standards cells (logique) est également disponible.

Pour plus d'informations, voir documentation associée au Design Kit référencé ci-dessous.

### 1.5.2 Design Kit

Les principales caractéristiques du Design Kit sont résumées ci-dessous.

**Tableau 2 Design Kit ST CMOS028FDSOI**

Techno ST		Paramètre	Commentaires
Nom process		CMOS028FDSOI_3DI	Techno 28nm 3DI
MOS oxyde GO1		0.9V (dual Vt)	1.155V max
MOS oxyde GO2 (EG)		1.8V	1.98V max
Capacités		MiM, Fringe, MOS	MiM 16fF/μm2 1.155V max
Résistances		Poly, NWELL	
Niveaux métal		10	Dont 2 épais + 2 medium
Process code		6U1x_2U2x_2T8x	Compatible Hybrid Bonding
<b>DESIGN KIT</b>			
Nomenclature ST		PDK_STM_CMOS028FDSOI_3DI 1.8.a-08	
Plateforme		> icadvn 20.10.220	Cadence OA
DRM		8343474 Rev. 29.0	Dernière version à vérifier
LVS & DRC		calibre 2021.2_37.20	Mentor
Simulation	Cadence	mmsim 21.10.389	Spectre
	Mentor	ams 18_4_3	Eldo
	Synopsys	xa t-2022.06-sp1	XA
Extraction parasites	Mentor	Calibre PEX 2016.3_19.12	PEX
	Cadence	ext 15.20	QRC
	Synopsys	star-rcxt t.2022.03-sp1	Star-Rcxt

Les versions indiquées sont à actualiser, si besoin, par rapport au run ST Microelectroincs visé pour la fabrication du circuit.

Le simulateur électrique privilégié est Eldo (Mentor) par sa souplesse et ses options d'analyse par rapport au simulateur natif de Cadence (Spectre). XA de Synopsys est utilisé pour les simulations top, avec des netlist très volumineuses.

Le prestataire doit disposer des outils décrits dans le Tableau 2 avec les bonnes versions afin d'éviter des éventuelles incompatibilités avec la plateforme technologique visée.

### 1.5.3 Bibliothèques

- **Standard cells**

Une collection de cellules logiques est mise à disposition par le fondeur sous forme de bibliothèques validées. Des modifications dans les cellules existantes sont éventuellement à prévoir afin de les adapter au design (entrée horloge différentielle, layout au pitch spécifié).

Le fondeur fournit une documentation complète sous forme de datasheet qui décrit les caractéristiques électriques de chaque bloc.

**Tableau 3 Bibliothèques Std Cell**

Bibliothèque	Nomenclature	Commentaires
<b>Standard cell</b>	C28SOI_SC_8_CLK_LL 7.1-04	Autres bibliothèques disponibles à vérifier
	C28SOI_SC_8_CORE_LL 7.1-03	
	C28SOI_SC_8_PR_LL 7.1-05	
	C28SOI_SC_8_CDMSHIFT_LL 7.1-03	
	C28SOI_SC_8_COREPBP4_LL 7.1-03	
	C28SOI_SC_8_CORESPLPBP4_LL 7.1.a-00	
	C28SOI_SC_8_CORESPL_LL 7.1.a-00	
	C28SOI_SC_8_CORHPPBP4_LL 7.1-03	
	C28SOI_SC_8_CORHP_LL 7.1-03	
	C28SOI_SC_8_CORI_LL 5.1-07.81	
	C28SOI_SC_8_CORXT_LL 7.0-02	
	C28SOI_SC_8_SYNC_LL 7.1-02	à privilégier
	C28SOI_SC_12_CORE_LL 7.1-03	
	C28SOI_SC_12_CORE_LR 7.1-03	

Cette liste n'est pas exhaustive et dépend de la livraison fournie par ST Microelectronics.

- **Plots E/S**

Les plots d'entrée/sortie sont placés sur le Tier1. Ils seront implémentés par le CEA-LETI.

Le CAB réalisé sur le Tier2 devra inclure toute la connectivité nécessaire pour l'assemblage avec la couronne de plots du Tier1.

La liste des entrées/sorties est décrite dans le chapitre 9.

#### 1.5.4 Nomenclature signaux

- **Entrées – sorties**

Les entrées et les sorties du chip (les vias HB vers les pads) seront définies en MAJUSCULES, avec les conventions suivantes :

- les signaux de type numérique seront précédés du caractère D (ex DCLK\_H)
- les entrées analogiques (faible courant ou nul) seront précédées du caractère V (ex. VICOL)
- les sorties analogiques seront nommées VOUT\_ (ex. VOUT\_TOP\_P)
- les alimentations côté haut (positives) seront nommées VDDxx (ex. VDDHI)
- les alimentations côté bas (négatives ou positives) seront nommées VLOxx.
- les masses seront nommées VSS (analogique et substrat) et DVSS (digital).

- **Signaux internes**

Les interconnexions entre les différents blocs seront nommées en MAJUSCULES et, dans la mesure du possible, suivre les mêmes règles que celles des plots entrées-sorties.

Les connexions internes d'un sous-circuit peuvent être définies en minuscules.

- **Signaux globaux**

Il est préférable d'éviter l'utilisation de signaux globaux (ex. gnd !). Chaque instance doit présenter tous ces pins d'entrée-sortie, y compris ses alimentations.

Pour les cellules SC des bibliothèques, il est recommandé de les importer dans le design courant et de les modifier en remplaçant les signaux globaux par des pins E/S.

#### 1.5.5 Réalisation des schémas

Une structure hiérarchique top-down est préconisée à partir des blocs définis plus bas.

Les schémas seront réalisés de façon lisible, avec tous ses éléments suffisamment espacés dans une cartouche contenant les informations nécessaires pour son suivi (auteur, date, version, etc.).

Les symboles des différents blocs contiendront suffisamment d'information graphique afin d'identifier facilement leur contenu.

Un maximum d'annotations sera implémenté afin de faciliter la compréhension du schéma. Par exemple, les valeurs des courants constants de polarisation dans les branches correspondantes, ainsi que certaines valeurs correspondant aux spécifications (tension max, dynamique, etc.).

#### 1.5.6 Simulations

Les simulations des schémas serviront dans un premier temps à la vérification fonctionnelle des circuits, les conditions de température, tension et process étant nominales.

Chaque simulation d'une partie du circuit doit tenir compte du contexte et de ses éléments environnants. Ainsi, par exemple, les entrées et sorties numériques seront évaluées avec toutes les charges capacitatives et/ou résistives équivalentes du circuit final, avec la prise en considération des contraintes des différents temps qui sont en jeu (propagation, set-up, hold-up, etc.). Une estimation des éléments parasites liés au routage seront également ajoutés à la simulation. De la même manière, les entrées-sorties reliées aux plots vers l'extérieur seront associées à leurs respectives capacités, résistances ou inductances de chaque chemin du signal (pad, bonding, routage PCB, composants externes).

Les signaux de commande et de lecture de la matrice de pixels devront également contenir les charges et éléments parasites correspondants. Le CEA-LETI devra fournir les valeurs extraites de la matrice réalisée en interne.

Pour la validation de chaque circuit, une série complète de simulations doit assurer la robustesse de sa réponse en tenant compte des variations suivantes :

**Tableau 4 Conditions de simulation**

Paramètres	Typ	Min	Max	Commentaires
Température	25°C	0°C	80°C	
Tensions alimentation analogiques	Nominale			Voir Tableau 14
Tensions alimentation digitales	Nominale			
Tensions de polarisation	Nominale			
Résistances	Nominale	min	max	
Capacités	Nominale	min	max	
Mismatch $V_{th}$	Nominale	stat		<u><math>\pm 3\sigma</math> non nécessaire</u>
Process (lot)	typ	stat		<u>Corners non nécessaire</u>

Des vérifications SOA (safe operating area) seront réalisées afin de déterminer si les valeurs de tension dépassent les maximums autorisés.

### 1.5.7 Réalisation layout

Dans la mesure du possible, afin de faciliter les vérifications LVS, il doit y avoir correspondance entre les blocs schémas et les blocs routage, avec une hiérarchie et pinouts similaires.

L'implantation physique (layout) doit également être suffisamment annotée avec des étiquettes texte indiquant les noms des blocs, alimentations principales, pads, etc.

Les vérifications post-layout doivent être complètes et sans erreurs (DRC, LVS, diodes antenne, etc.).

### 1.5.8 Empilement 3D

Le CAB est réalisé en technologie FDSOI028 sur la couche 2 (Tier2). Il doit contenir les interconnexions HB (Hybrid Bonding) nécessaires pour son assemblage avec la couche 1 (techno IMG040) ainsi que les TSV (Through Silicon Via) vers les plots E/S situés sur cette dernière. Afin de limiter la dimension de la puce finale, le CAB est superposé à la matrice de pixels.

Les interconnexions auront un pas fixe de 4.0µm. Pour les sorties LEFT et RIGHT, puisque chaque étage du VSR contient plusieurs sorties pour une même ligne de pixels (voir 4.3), elles doivent être groupées et distribuées afin de respecter le pitch indiqué.

Pour TOP et BOTTOM, la même sortie colonne est dupliquée, ce qui donne un pitch de 4.0µm.

Un nombre suffisant de connexions HB pour les alimentations et la masse sera à distribuer autour du CAB afin de faciliter le branchement vers les plots E/S du Tier1 avec un minimum d'impédance. Pour cela il est impératif d'allouer plusieurs connexions sur différents endroits pour une même alimentation, notamment lorsqu'elle doit fournir un courant élevé (DVDD, AVDD, etc.)

Idéalement, chaque connexion d'alimentation devra être accompagnée d'un deuxième plot HB connecté à sa masse correspondante (DVSS, VSS).

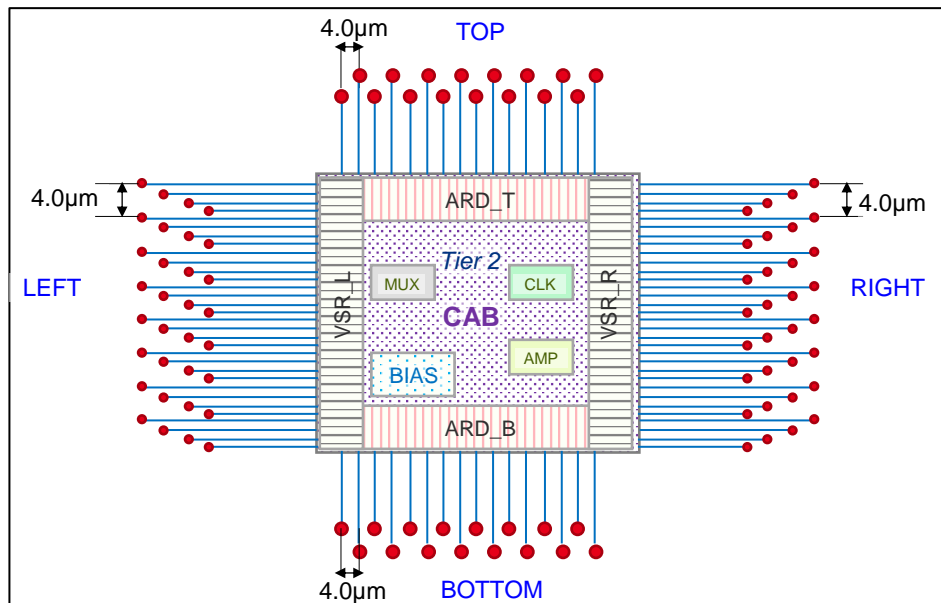


Figure 1-1 Connexions CAB - PIXMTRX

Lorsque la dimension de la matrice de pixels est différente à celle du CAB, étant donné que le pitch des HB est de  $6\mu\text{m}^1$ , l'ensemble de connexions doit être configuré en éventail et les plots HB organisés en quinconce. Ci-dessous, un exemple de routage avec CAB > PIXMTRX.

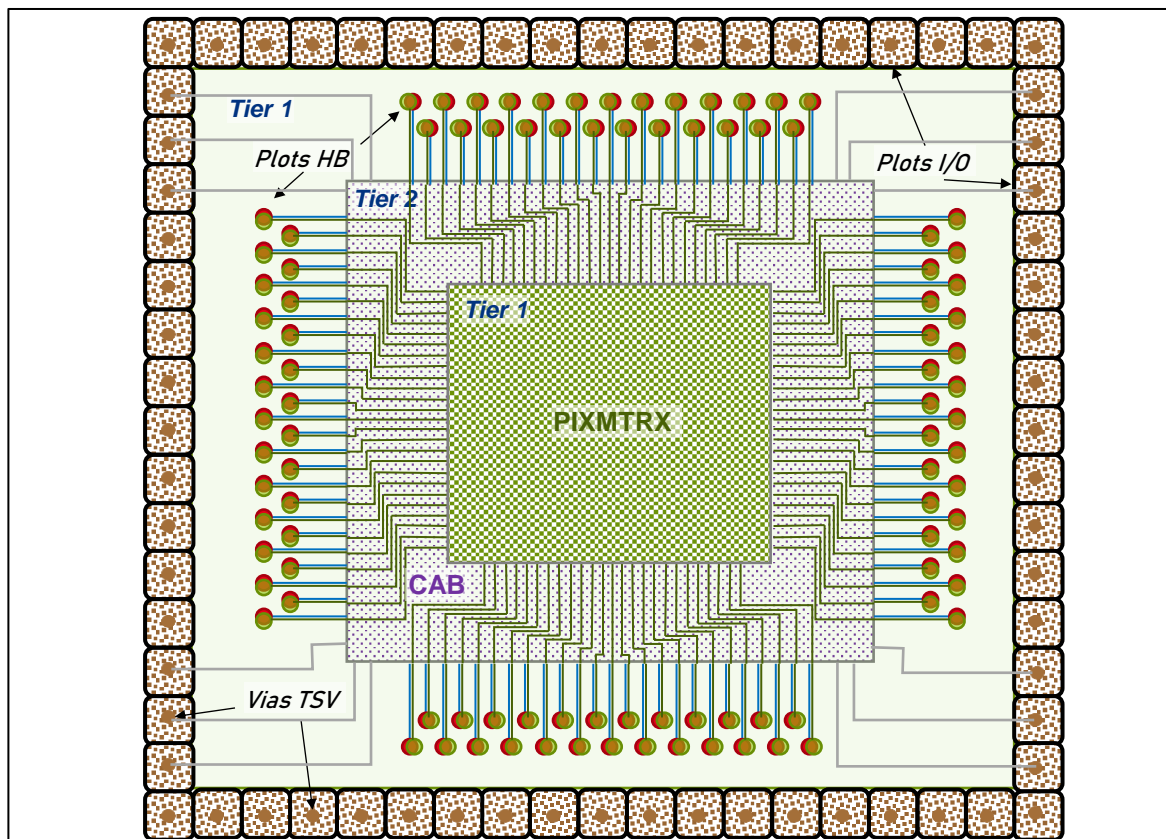


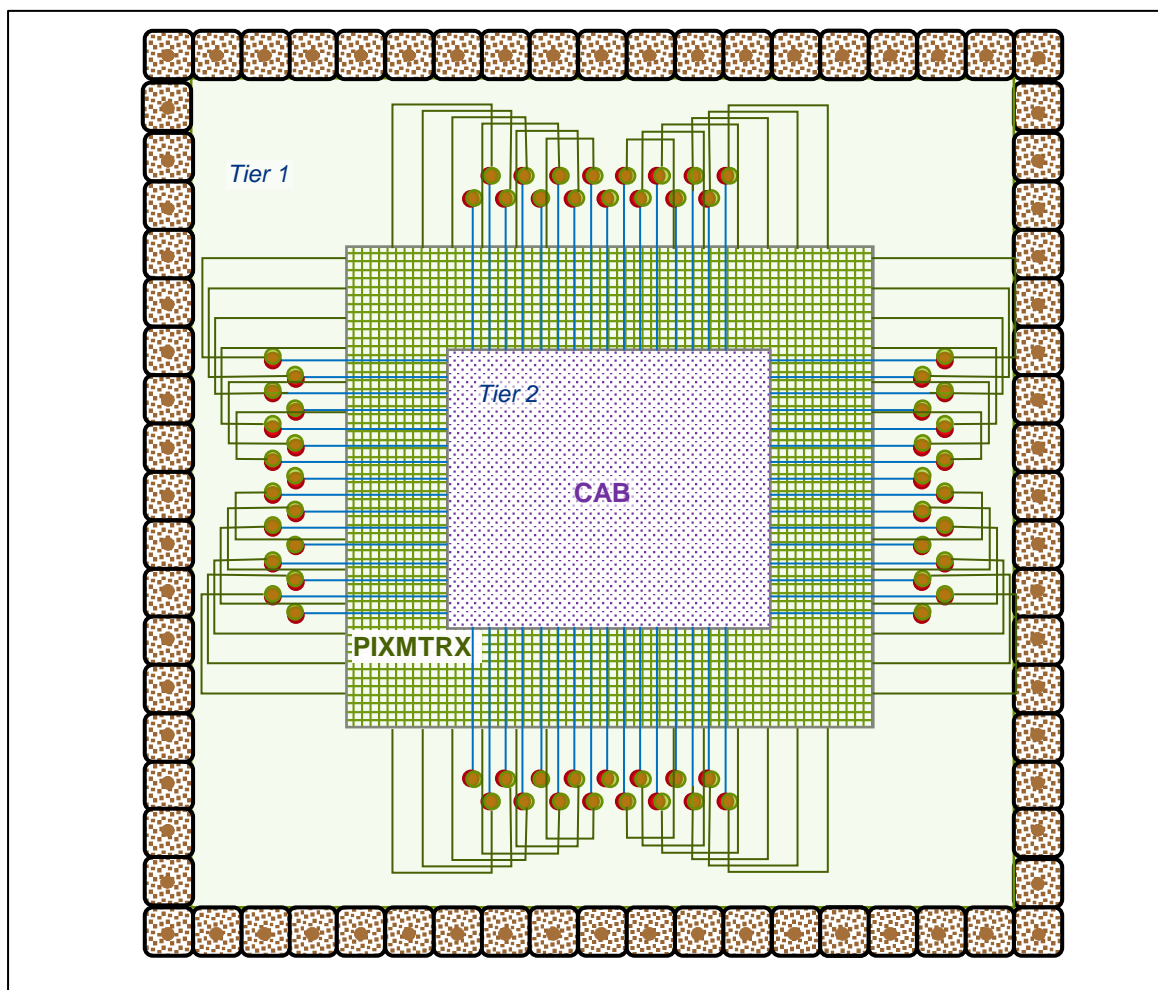
Figure 1-2 Empilement PIXMTRX &lt; CAB

<sup>1</sup> À vérifier l'option « fine pitch » pour les connexions HB dans le DK utilisé.



La couronne de plots E/S sont sur la couche 1, la même que celle de la matrice de pixels.

Dans le cas où la matrice de pixels est plus grande que le CAB, les connexions devront se réaliser en entonnoir. Un exemple est montré ci-dessous.



**Figure 1-3 Empilement PIXMTRX > CAB**

Autres dispositions alternatives peuvent être discutées.

Une routine skill pour automatiser le routage entre les deux couches serait utile, car même si le CAB est par défaut fixe, la matrice peut changer de taille et les connexions seraient à refaire à chaque version de pixel.



## 2 Architecture

### 2.1 Description générale

Le système est divisé en plusieurs blocs. La matrice de pixels est centrée sur la puce, ainsi que les différents circuits de pilotage et de lecture qui constituent le CAB. Le pilotage est effectué par des circuits d'adressage en X et en Y et la lecture par des échantillonneurs-bloqueurs et des amplificateurs-suiveurs colonne. Une série de circuits auxiliaires sont destinés à des fonctions de polarisation et de monitoring des différentes parties du système.

Plusieurs schémas (par blocs, portes logiques et transistors) sont proposés à titre d'exemple de réalisation. Ils sont susceptibles de modifications avant ou pendant la période de conception afin de corriger les éventuelles erreurs et/ou pour des améliorations/optimisations des fonctions à réaliser.

Un diagramme de blocs est représenté dans la Figure 2-1.

### 2.2 Spécifications générales

La matrice et les circuits de pilotage sont déterminés par la taille de la matrice et le pas du pixel. Le format correspond à une résolution VGA avec des lignes et des colonnes supplémentaires. Le tableau ci-dessous résume ses caractéristiques principales :

*Tableau 5 Caractéristiques générales*

Nom	Valeur	Commentaires
Pixel pitch	2.0µm-5.0µm	4.0µm pour la première version
CAB pitch (interconnexions)	4.0µm	
Taille puce max <sup>2</sup>	3x3 mm <sup>2</sup>	Chemin de découpe compris
Nombre de lignes	510	Dummies inclus
Nombre de colonnes	660	x2 (top + bottom)
Nombre d'entrées / sorties max	136	
Boîtier <sup>3</sup>	OLGA	Avec vitre fenêtre optique

Le CAB est destiné à accueillir plusieurs tailles de matrices. Il possède pourtant une structure fixe et une architecture flexible qui lui permet de piloter des versions de pixel différentes.

<sup>2</sup> À confirmer

<sup>3</sup> À fournir par ST

## 2.3 CAB : diagramme de blocs

La Figure 2-1 montre les différentes parties du circuit.

Les circuits du CAB sont divisés en gauche-droite (L-R) pour les registres verticaux et haut-bas (T-B) pour les registres horizontaux. Ceci permet également de relâcher les contraintes de pitch de ces circuits.

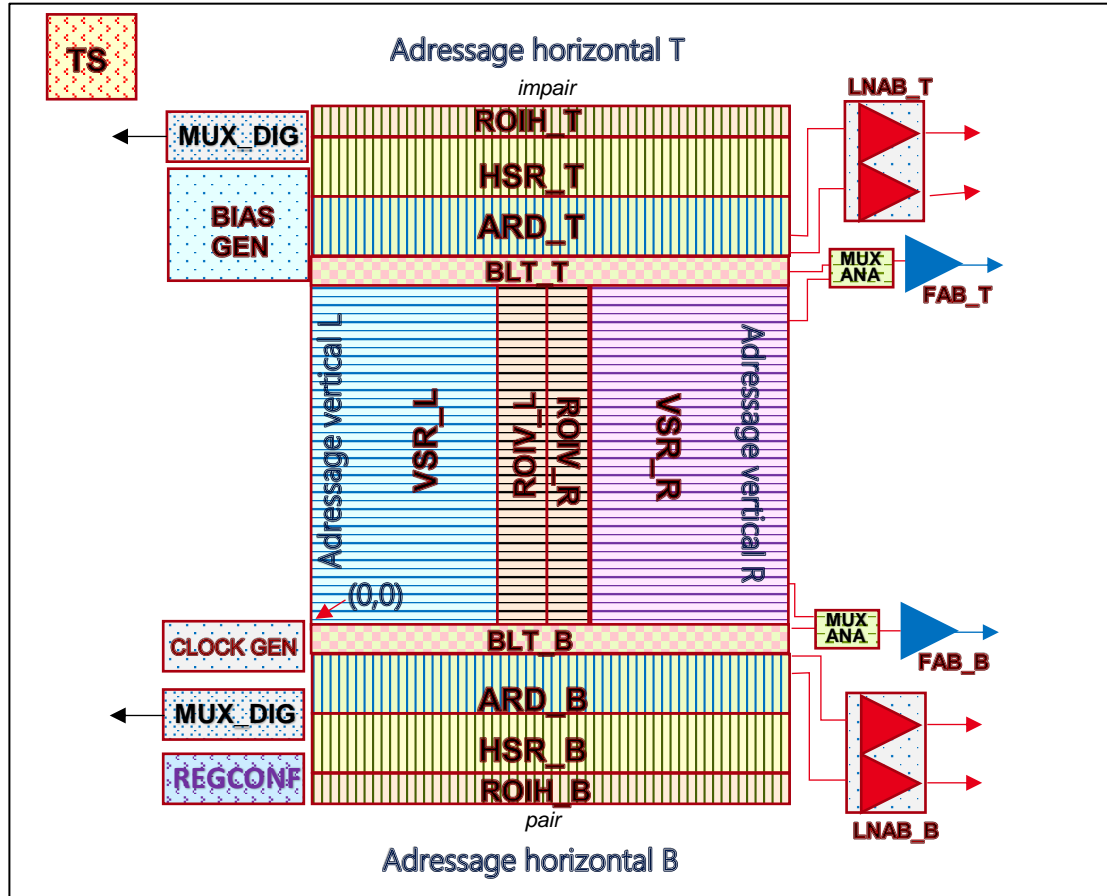


Figure 2-1 Schéma blocs

La disposition des blocs est uniquement indicative. La position de chacun d'entre eux sera établie en optimisant la surface disponible et la connectivité vers la matrice de pixels et la couronne de E/S de la couche supérieure.

### 2.3.1 Description succincte de chaque bloc

#### ○ Adressage vertical

L'adressage vertical sélectionne les lignes de pixels et génère les 12 commandes nécessaires pour piloter les pixels. Différentes fonctions sont réalisées par plusieurs blocs. Le routage doit être réalisé au pas du pixel.

Il peut être divisé en deux parties équivalentes et identiques: gauche (L) et droite (R), avec 6 commandes chacune pour totaliser les 12 nécessaires.

Les circuits sont réalisés à base de transistors en oxyde mince (0.9V), sauf pour les étapes de sortie vers la matrice de pixels qui seront en oxyde épais (1.8V) avec des protections cascode afin d'atteindre les tensions compatibles avec le pixel, soit 2.75V.

- **ROI\_V (OPTION)**

Region Of Interest Vertical. Registre programmable qui détermine les lignes opérationnelles et qui vont être commandées par le bloc VSR. Les lignes de pixels inhibées sont verrouillées en Reset permanent et bloquées en lecture. Voir chapitre 4.2.

- **VSR\_L, VSR\_R**

Registre à décalage et logique combinatoire destiné à la génération de commandes de ligne. Chaque bloc unitaire des VSR\_L et VSR\_R commande 5 cellules avec des fonctionnalités différentes afin de posséder une grande flexibilité de pilotage. Un translateur de niveau (LEVEL\_SHIFTER) adapte les niveaux de tension de la logique aux niveaux spécifiques du pixel (y compris tension négative), ainsi que le contrôle des pentes du signal (*slew rate*) avec un buffer adapté (BUFFER). Les pentes sont ajustables et générées par un circuit de polarisation programmable (BIAS\_CTRL\_RISE/FALL). Voir chapitre 4.3

- **Adressage horizontal**

L'adressage horizontal pilote le pied des colonnes et génère les commandes nécessaires pour effectuer leur lecture par le pilotage des différents interrupteurs du multiplexeur analogique. Étant donné que cette fonction est distribuée sur les deux côtés de la matrice, chaque partie commandera la moitié des colonnes. Par exemple, le bloc inférieur gèrera les colonnes paires (EVEN) et le bloc supérieur les colonnes impaires (ODD). Par conséquent, il sera réalisé au pas double du pixel, soit 6µm.

Il doit être réalisé à base de transistors simple oxyde (0.9V), sauf pour les interfaces vers les interrupteurs analogiques qui seront en double oxyde (1.8V).

Différentes fonctions sont réalisées par plusieurs blocs.

- **BLT**

BitLine Test. Ligne de pixels factices pour le test électrique du circuit de lecture. Il permet également la fonction white clamp. Voir chapitre 5.6.

- **ROI\_H (OPTION)**

Region Of Interest Horizontal. Registre programmable qui détermine les colonnes opérationnelles et qui vont être lues. Voir chapitre 5.3

- **HSR**

Horizontal Shift Register. Registre à décalage et logique combinatoire destiné à la génération des signaux de commande du multiplexeur. Voir chapitre 5.2.

- **ARD**

Analog Readout. Bloc de lecture de chaque colonne qui effectue l'échantillonnage du signal (CDS) et son adaptation d'impédance pour le véhiculer vers l'amplificateur de sortie par l'intermédiaire d'un arbre d'interrupteurs (SWITCH\_TREE). Voir chapitre 5.4.

- **LNAB**

Low Noise Analog Buffer. Amplificateur faible bruit à gain unitaire pour adapter le signal à l'étage d'entrée de la chaîne de conversion analogique/numérique. Voir chapitre 6.2.

- **Blocs auxiliaires**

- **MUX\_ANA**

Multiplexeur analogique pour monitoring de certains signaux internes. Voir chapitre 8.1.

- **FAB**

Fast Analog Buffer. Amplificateur haute vitesse et slew-rate pour le monitoring de certains signaux rapides internes. Voir chapitre 6.1



### 2.3.3 Fréquences de fonctionnement

Le fonctionnement courant du capteur d'images est divisé en deux phases : intégration et lecture. Suivant le mode utilisé (snapshot ou rolling shutter) elles peuvent être consécutives ou simultanées.

La phase de lecture est néanmoins toujours séquentielle et elle a lieu à chaque période ligne, comme présenté ci-dessous :

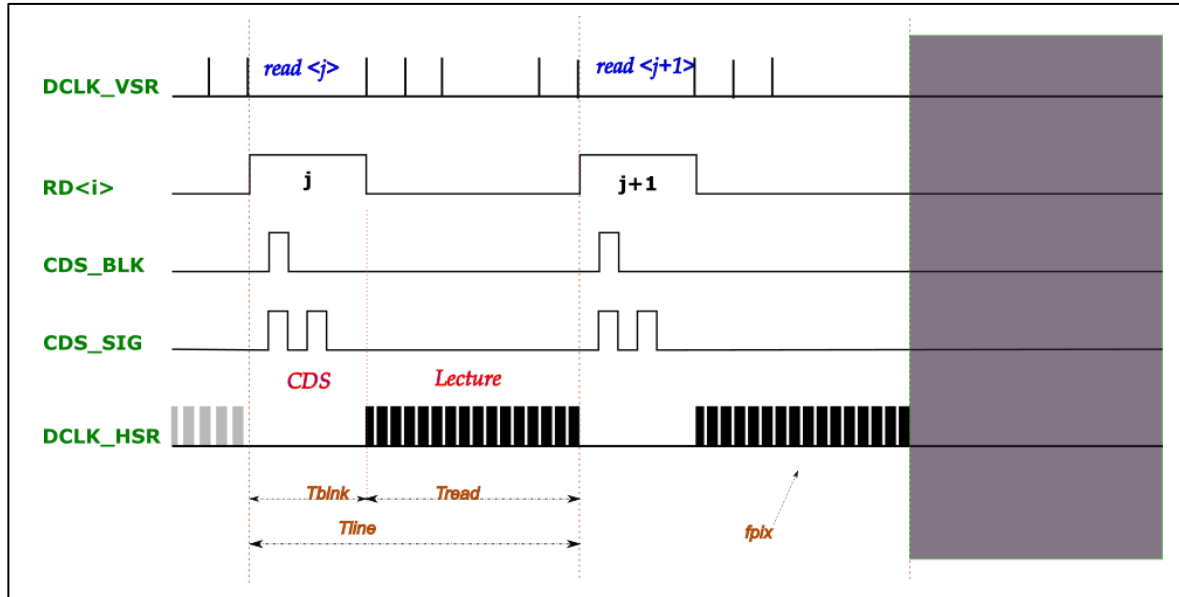


Figure 2-3 Chronogramme lecture sur deux lignes

DCLK\_VSR est l'horloge du registre vertical à 5 phases qui sélectionne les lignes (une tous les 5 périodes). RD<i> est la commande de lecture de la ligne <i>. Les signaux CDS\_BLK et CDS\_SIG sont les commandes d'échantillonnage en bas de colonne. DCLK\_HSR est l'horloge du registre horizontal qui sélectionne séquentiellement les colonnes vers la sortie.

Tous ces signaux et commandes seront détaillés plus en détail dans le présent document.

Les fréquences de lecture ligne et pixel détermineront la vitesse d'acquisition des images (nombre d'images par seconde). Celle-ci dépendra du mode de fonctionnement GLOBAL (GS) ou ROLLING (RS).

Dans le cas du premier, pour un pixel 5T, la cadence frame sera fonction du temps d'exposition (voir chronogramme Figure 15-1) et dans le cas du deuxième, elle sera fixe à condition que le temps d'exposition soit inférieur à la lecture de la trame (voir chronogrammes Figure 15-3 et Figure 15-4).

Dans le cas du pixel FMCW, le mode privilégié est le RS (voir chronogramme Figure 4-10).

Pour ce pixel, en prenant comme base de temps la fréquence d'horloge pixel fpix (signal DCLK\_HSR, 1 période= pck), les temps des différentes phases, pour une fréquence nominale de 12.5MHz, sont répartis suivant le Tableau 6.

Les valeurs indiquées peuvent varier sans mettre en cause l'architecture et les performances générales du circuit.

Tableau 6 Distribution des temps de trame (pixel FMCW)

Description	Valeurs nom	Unités	Commentaires
Fréquence pixel (fpix)	12,5E+6	Hz	Deux sorties en parallèle
Période pixel (pck)	80,0E-9	s	
Suppression ligne (TbInk)	150	pck	Phase lecture et CDS
	12,0E-6	s	
Lecture ligne (Tread)	660	pck	Temps lecture d'une ligne
	52,8E-6	s	
Temps d'intégration	100,0E-6	s	Lecture pendant intégration
Période image	510	lignes	Temps d'intégration + Temps de lecture
	27,0E-3	s	
Fréquence trame max	17,5	fps	Images par seconde

Le temps de suppression de ligne correspond à la phase de lecture. La durée de 12µs est juste indicative et peut être modifiée suivant les caractéristiques du pixel.

Pour un pixel FMCW, avec le mode de fonctionnement privilégié (voir chronogramme Figure 4-10) , l'intégration s'effectue ligne par ligne suivie immédiatement par sa lecture. Puisque cette dernière peut se réaliser simultanément avec l'intégration de la ligne suivante, le temps de trame est déterminé par la somme du temps d'intégration (min 100µs) et de suppression ligne (12µs) multiplié par le nombre de lignes.

Dans ce cas, la fréquence vidéo maximum est d'environ 17fps.

Le mode Global Shutter serait également possible mais avec une certaine dégradation du signal. Dans ce cas, l'intégration s'effectue simultanément sur tous les pixels qui sont ensuite lus séquentiellement. Voir Figure 4-1. La fréquence trame résultante serait de 30fps.

Par contre, pour les pixels conventionnels du type 4T et 5T, dans le mode RS les phases d'intégration et de lecture peuvent se superposer, car il n'y a pas de commutation de signaux pendant l'exposition du pixel. Les fréquences vidéo sont donc plus élevées. Voir ANNEXE 1.



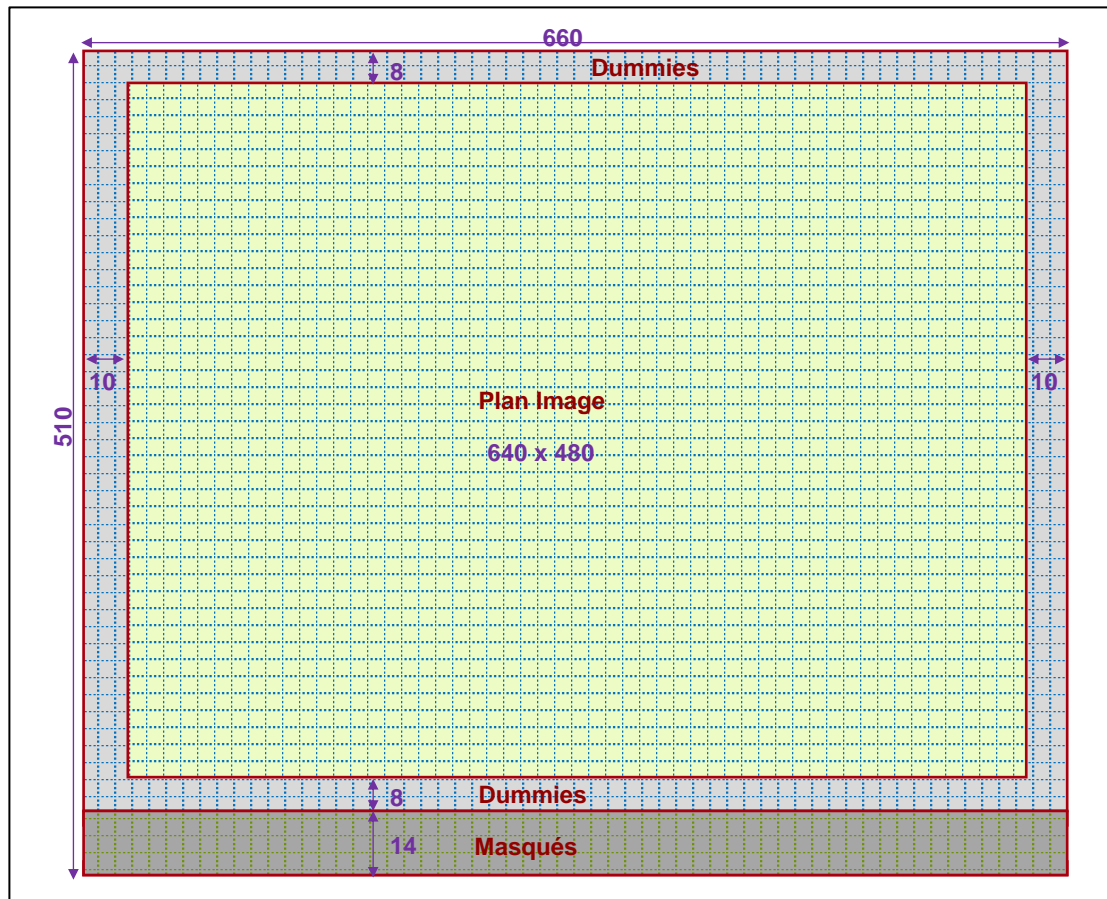
### 3.2 Matrice

**Note :** la matrice est entièrement développée par le LETI.

La matrice sera implémentée sur la base d'une taille VGA (640x480 pixels visibles). Autour de la matrice de pixels visibles, une série de lignes et de colonnes supplémentaires sont ajoutées pour contourner certains effets de bord et pour disposer des niveaux de référence pour des éventuelles calibrations.

La matrice totale fait donc 660x510 pixels, répartie selon la Figure 3-2.

Tous les pixels sont en principe lus. L'image est redimensionnée et traitée en post-processing.



**Figure 3-2 Distribution matrice de pixels**

Les zones « Dummies » sont simplement des pixels comme les autres, mais qui sont ignorés à cause de leurs performances assujetties aux effets de bord.

Les pixels masqués sont recouverts de métal afin d'empêcher l'arrivée de la lumière et peuvent servir de référence de noir.



## 4 Adressage vertical

### 4.1 Description

Les circuits d'adressage vertical pilotent les deux côtés de la matrice. Ils ont une structure identique et symétrique. Celui de gauche a comme suffixe `_L` et celui de droite `_R`.

Chaque cellule des deux circuits sera implémentée au pas de 4.0µm.

Les circuits d'adressage vertical sont principalement de type digital. Ils génèrent les signaux de pilotage pour chaque ligne de pixels. Les commandes générées en sortie peuvent être globales (sur toutes les lignes simultanément) ou séquentielles (sur chaque ligne consécutivement).

Chaque pixel possède plusieurs entrées de commande, son nombre étant déterminé par l'architecture du pixel. C'est pourquoi le registre vertical génère jusqu'à 12 signaux de commande indépendants (6 de chaque côté). Ces commandes sont de trois types :

- 5 sorties à état mémorisé (OUT\_SR) où les états haut et bas sont commandés par deux entrées pulsées indépendantes
- 5 sorties contrôlées par niveau (OUT\_LVL)
- 2 sorties à 3 niveaux de tension (OUT\_3STATE) à état intermédiaire mémorisé

Chaque type de sortie est générée par des blocs de logique combinatoire différents (voir plus bas).

Les états par défaut (haut-bas) peuvent être commutés par un bit indépendant par sortie.

Un deuxième bit de configuration permet de générer chaque sortie en mode global, lequel se substitue au mode rolling par défaut.

Les pentes des signaux de sortie sont contrôlées et réglables de façon indépendante. Un bit de configuration permet d'inhiber ce contrôle.

Un exemple de chronogramme pour le pixel FMCW (mode GS) est montré Figure 4-1.

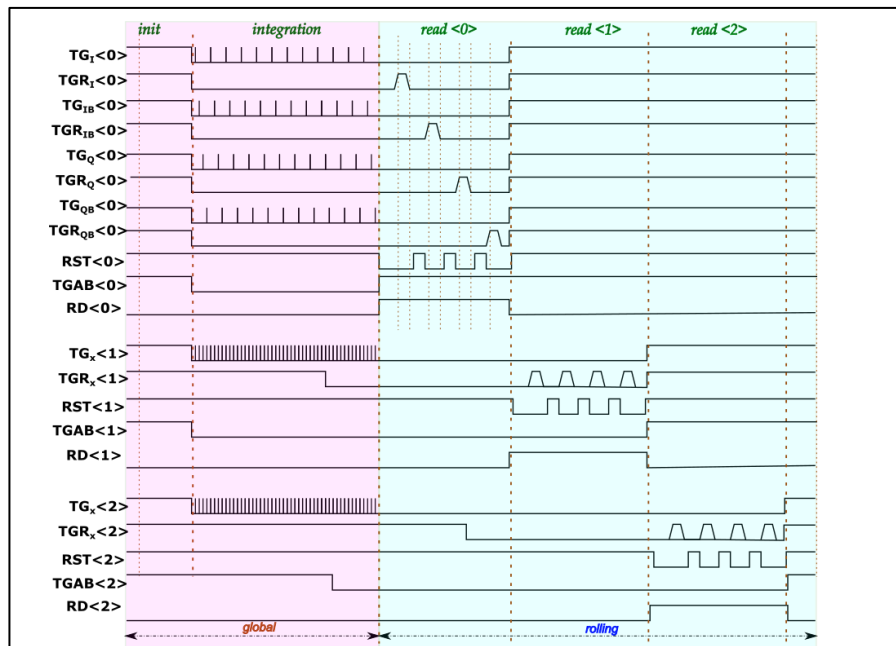


Figure 4-1 Exemple de chronogramme pixel FMCW en mode GS

On observe que certains signaux peuvent être simultanés (période « global ») et/ou consécutifs (période « rolling »). Il est donc nécessaire de prévoir tous les cas de figure afin d'être en mesure de s'adapter aux différents types de pixels et de matrices.

N / Ref : DRT-LETI-DOPT-SCIM-LIS-24-12-002790

La figure ci-dessous présente deux étapes consécutives des registres ROI\_V et VSR pour les côtes gauche (L) et droit (R). Seule la distribution des sorties change entre les deux.

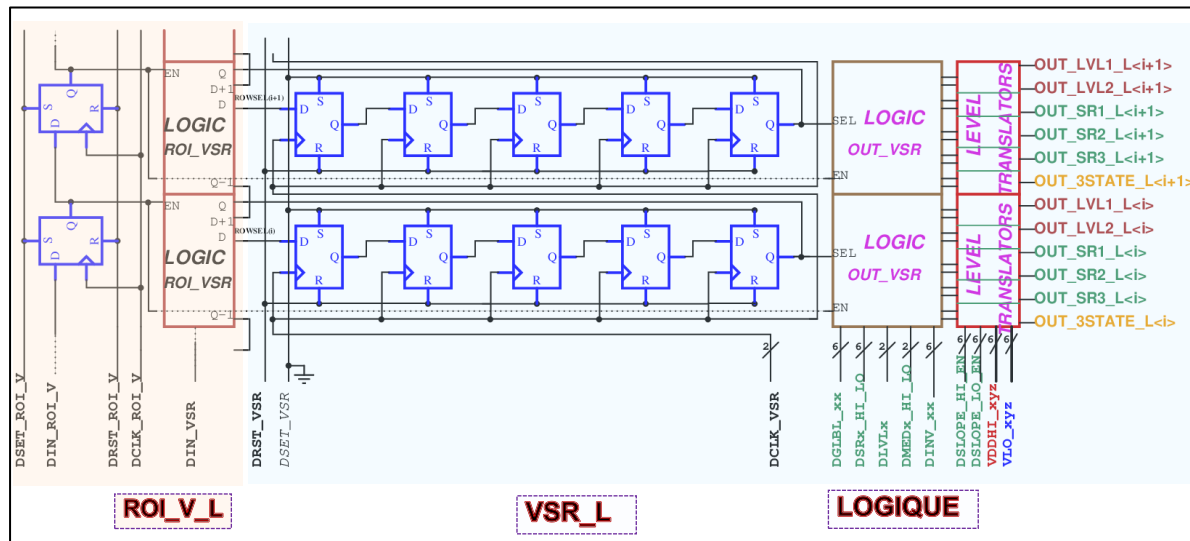


Figure 4-2 Deux étapes ROI\_V + VSR côté gauche (L)

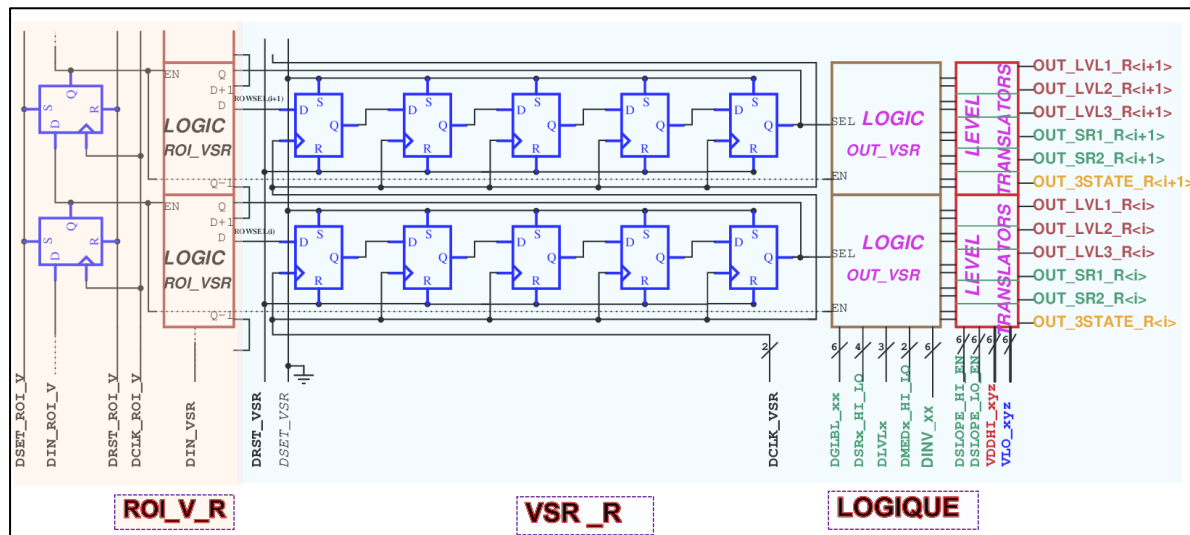


Figure 4-3 Deux étapes ROI\_V + VSR côté droit (R)

À remarquer les différences sur les commandes spécifiques de chaque variante (noms signaux en couleurs). Les signaux de commande communs aux deux côtés sont représentés en noir.

Sur la Figure 4-1, le tableau à gauche attribue les différentes sorties aux différents signaux suivant la nature de chaque commande. Un bit de configuration DINV (décrit plus bas) détermine l'état du signal par défaut.

Les différents blocs discutés jusqu'ici sont décrits dans les sections suivantes.

## 4.2 Masque ROI\_V (OPTION)

Chaque registre VSR est associé au masque ROI\_V, un registre à décalage à base de bascules de type D, qui est programmé une fois, juste avant la mise en route du pilotage de la matrice et qui détermine les lignes actives qui seront lues à chaque trame. Chaque cellule du registre à décalage est associée à une logique (LOGIC\_ROI\_VSR) qui pilote le registre VSR. Cette logique gère le passage du jeton entre deux étapes du VSR commandé par le signal EN du ROI.

La Figure 4-4 montre le schéma de principe, avec des interrupteurs. L'implémentation réelle s'effectuera à base de circuits de logique combinatoire.

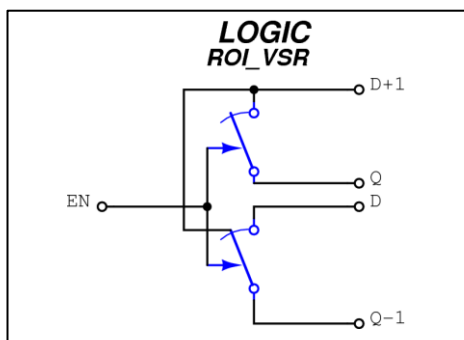


Figure 4-4 Schéma de principe LOGIC\_ROI\_VSR

Le signal EN, lorsqu'il est à '1', permet le passage du jeton présent dans l'étape précédente (Q-1) vers l'entrée de l'étape courante (D), ainsi que celui de la sortie Q vers l'entrée de l'étape suivante (D+1). Lorsque l'entrée EN est à '0', la ligne courante est inhibée, car le jeton précédent (Q-1) est directement dirigé vers l'entrée de l'étape suivante (D+1).

Le registre doit posséder les entrées de commande nécessaires pour son fonctionnement, à savoir :

- DIN\_ROI. Entrée du jeton sur la première étape du ROI.
- DRST\_ROI. Entrée de mise à '0' de toutes les bascules.
- DSET\_ROI. Entrée de mise à '1' de toutes les bascules.
- DCLK\_ROI. Entrée d'horloge du registre à décalage.
- DIN\_VSR. Entrée du jeton sur la première étape du VSR (entrée Q-1 de la première cellule LOGIC ROI\_VSR).

Les deux sorties du jeton de chaque registre à décalage L et R (non dessinées sur la figure) pour le test seront connectées au multiplexeur MUXDIG (voire chapitre 8.2) :

- DOUT\_ROI\_V\_L
- DOUT\_ROI\_V\_R

L'implémentation de ce bloc devra tenir compte de tous les contraintes temporelles (set-up & hold time) sous les conditions *corner* définies dans le Tableau 4.

## 4.3 Registre vertical VSR

### 4.3.1 Registre à décalage 5 phases

Le registre vertical VSR est un registre à décalage à 5 phases. Le passage du jeton d'une étape à une autre (période ligne) nécessite de 5 périodes d'horloge. En combinant l'entrée de plusieurs jetons à des différentes phases permet de sélectionner différentes lignes (jusqu'à 5 dans la même période ligne) afin d'y réaliser des opérations distinctes (reset, lecture, début d'intégration, etc.).

Comme montré dans la Figure 4-2, chaque étape contient 5 bascules D. Le registre possède trois entrées de commande:

- DRST\_VSR. Entrée de mise à '0' de toutes les bascules.
- DSET\_VSR. Entrée de mise à '1' de toutes les bascules.
- DCLK\_VSR. Entrée d'horloge du registre à décalage.

N / Ref : DRT-LETI-DOPT-SCIM-LIS-24-12-002790

Cette dernière doit être implémentée en différentielle (DCLK\_VSRp et DCLK\_VSRn) afin de minimiser l'injection de charges dans le substrat pendant l'opération de lecture.

L'entrée du jeton DIN\_ROI s'effectue par la première cellule du bloc LOGIC\_ROI\_VSR.

Les sections suivantes décrivent les blocs LOGIC\_OUT destinés à générer les différentes commandes des lignes de pixels. Il est important de signaler que la logique décrite est compatible uniquement avec les pixels dont les transistors de commande ne partagent pas la photodiode. Par conséquent, les pixels du type 2T5, 1T75, 1T5, etc. ne sont pas gérables par cette implémentation. Dans le cas où un développement de ce type de pixel est envisagé, les circuits décrits ci-dessous devront être modifiés. Une alternative serait de les rendre programmables par des bits du registre CONFREG qui rendrait l'architecture plus flexible pour des différents types de pixel<sup>5</sup>.

## 4.4 LOGIC\_OUT\_VSR

### 4.4.1 LOGIC\_OUT\_VSR\_SR

Ce bloc à base de logique combinatoire génère les signaux digitaux de commande pixel. Ses niveaux haut ou bas restent mémorisés par des commandes type SET ou RESET (Dx\_HI et Dx\_LO respectivement). Les sorties indépendantes sont nommées OUT\_SRx\_L/R.

L'entrée EN en provenance du bloc ROI\_V habilite les sorties ou bien les fige à un état déterminé.

Lorsqu'il est sélectionné par le registre à 5 étages (entrée SEL), ou par le signal DGLBLx ses entrées de commande vont commander les sorties OUT\_SRx d'après le tableau suivant.

INPUT	STATE	OUT_SRx	Commentaires
EN	L	H	Sorties figées état H
	H	$f(SEL)$	Bloc habilité
SEL DGLBL_SRx	L	No change	Ligne non sélectionnée
	H	<i>ci-dessous</i>	Ligne sélectionnée
DHI_SRx	$\_ \overline{\phantom{x}}$	H	Mémorisation x état H
DLO_SRx	$\_ \overline{\phantom{x}}$	L	Mémorisation x état L
DINV_SRx	L	No change	État OUT_SRx inchangé
	H	Inversion	Inverse l'état de OUT_SRx

Le bit d'entrée DINV\_SRx inverse ou non le signal de sortie.

Chacun des blocs possède ses propres entrées DGLBLx, DHI\_SRx, DLO\_SRx et DINV\_SRx indépendantes des autres blocs. Chaque signal est numéroté en remplaçant le suffixe x par son index 1 ou 2 et L ou R.

Un exemple de logique combinatoire est montré ci-dessous :

<sup>5</sup> Si nécessaire, pour des versions futures, une configuration programmable est envisageable.

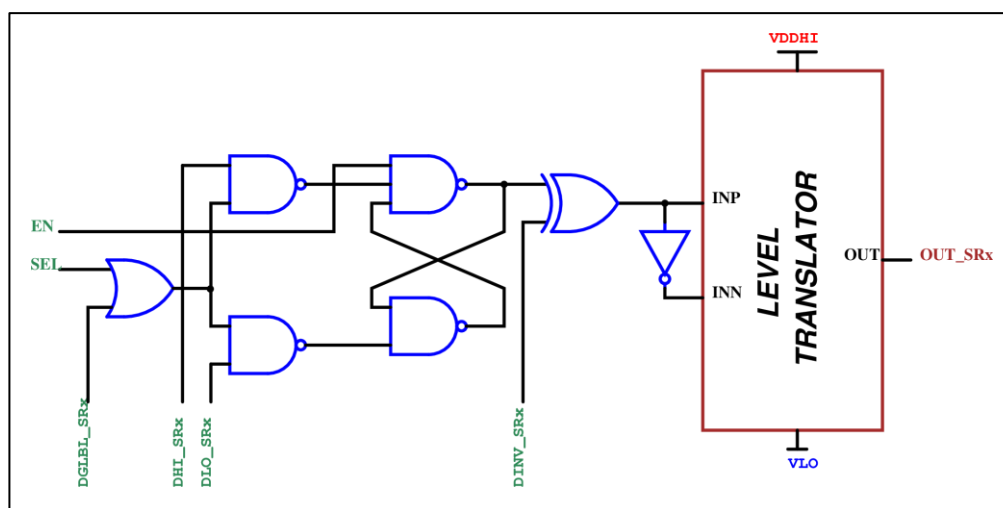


Figure 4-5 Exemple circuit LOGIC\_OUT\_VSR\_SR

L'inverseur entre INP et INN empêche la possibilité d'avoir les deux entrées en état haut simultanément (possible avec la bascule RS), car cette configuration déclenche une conduction directe entre VDDHI et VLO du LEVEL\_TRANSLATOR.

Autres configurations logiques qui génèrent les mêmes fonctions peuvent être implémentées.

#### 4.4.2 LOGIC\_OUT\_VSR\_LVL

Ce bloc à base de logique combinatoire génère les signaux digitaux de commande pixel. Chaque bloc génère une sortie nommée OUT\_LVLx\_L/R.

L'entrée EN en provenance du bloc ROI\_V habilite les sorties ou les fige à un état déterminé.

Lorsqu'il est sélectionné par le registre à 5 étages (entrée SEL), ou par le signal DGLBL ses entrées de commande vont commander les sorties OUT d'après le tableau suivant.

INPUT	STATE			Commentaires
EN	L			Sorties figées
	H	$f(SEL)$		Bloc habilité
SEL DGLBLx	L	No change		Ligne non sélectionnée
	H	ci-dessous		Ligne sélectionnée
DLVLx	H	H		Entrée non mémorisée
	L	L		
DINVx	L	No change		État OUT_SRx inchangé
	H	Inversion		Inverse l'état de OUT_SRx

Un exemple de logique combinatoire est montré ci-dessous :

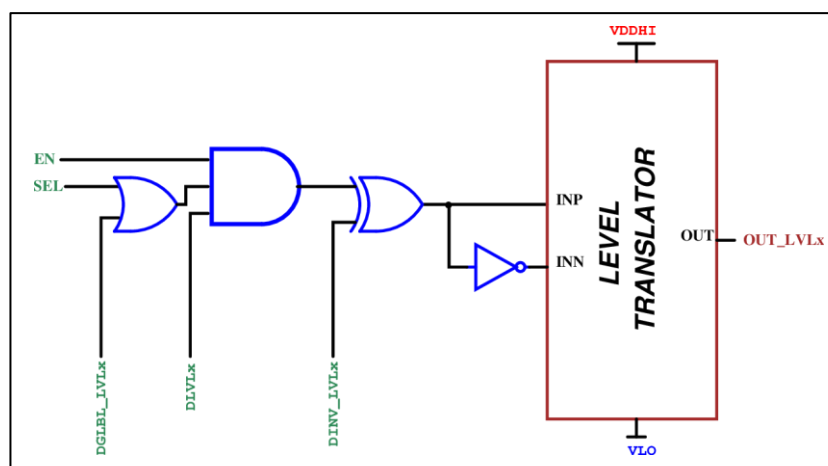


Figure 4-6 Exemple circuit LOGIC\_OUT\_VSR\_LVL

Autres configurations logiques qui génèrent les mêmes fonctions peuvent être implémentées.

#### 4.4.3 LOGIC\_OUT\_VSR\_3\_LEVEL

Certaines sorties doivent commuter entre trois niveaux différents. Une troisième alimentation VMED est sélectionnée par l'intermédiaire d'une porte de transmission.

INPUT	STATE	OUT	Commentaires
EN	L		Sorties figées à VDDHI ou VLO
	H	$f(SEL)$	Bloc habilité
SEL DGLBL3STx	L	No change	Ligne non sélectionnée
	H	<i>ci-dessous</i>	Ligne sélectionnée
D3STx_HI	$\text{—} $	H	Mémorisation état H
D3ST_LO	$\text{—} $	L	Mémorisation état L
DINV3STx	L	No change	État inchangé
	H	Inversion	État inversé
DMEDx_HI	$\text{—} $	H	Mémorisation VMED
DMEDx_LO	$\text{—} $	L	Mémorisation VDDHI ou VLO

Un exemple de circuit est montré ci-dessous.

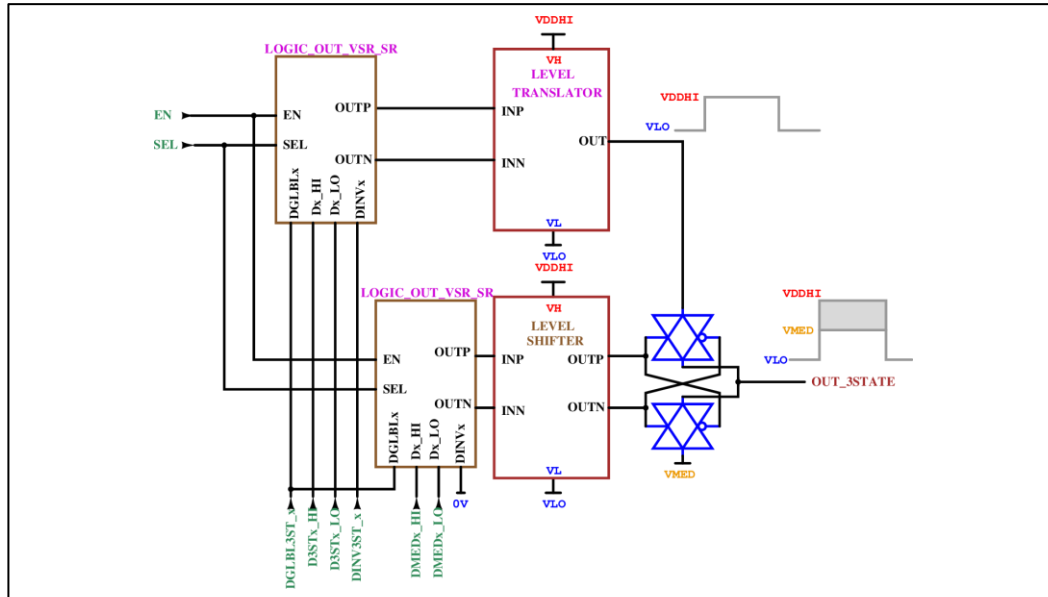


Figure 4-7 Exemple circuit 3\_LEVEL

Les blocs LOGIC\_OUT\_VSR\_SR sont réutilisés à partir des définitions précédentes.

Les circuits LEVEL\_TRANSLATOR et LEVEL\_SHIFTER sont décrits dans le chapitre suivant.

## 4.5 LEVEL\_TRANSLATOR

Le circuit LEVEL\_TRANSLATOR adapte les niveaux de tension logiques en niveaux propres au fonctionnement du pixel. Il sera donc conçu à base de transistors oxyde épais pour la tenue en tension.

Il est formé par deux étapes : LEVEL\_SHIFTER et BUFFER.

Le premier fait la transposition des deux niveaux logiques en provenance du bloc LOGIC\_OUT\_VSR pour commander le bloc BUFFER dont la sortie est générée entre deux niveaux VDDHI et VLO adaptés à la commande du pixel. La différence entre ces deux valeurs de tension peut dépasser les valeurs maximales ou minimales autorisées par la technologie sur certains transistors. C'est pourquoi, le bloc BUFFER doit contenir des étapes cascode afin de protéger les dispositifs de sortie (les contraintes VGS et VDS ne sont pas les mêmes). L'inclusion dans le design de transistors du type EDMOS (Extended Drain) est à envisager.

La tension VLO peut être légèrement positive, zéro ou négative.

Le bloc BUFFER doit posséder deux types de fonctionnement: avec et sans contrôle de pente de la sortie. Ce contrôle doit être habilité ou inhibé par un signal logique mémorisé dans le registre REGCONF (SLOPE\_xx\_EN). Lorsque SLOPE\_HI\_EN est actif (H), les sorties avec contrôle de pente positive sont régulées par les sources de courant correspondantes. Avec SLOPE\_LO\_EN actif (H), les sorties avec contrôle de pente négative sont régulées par les sources de courant correspondantes. En état inactif (L), les pentes ne sont plus contrôlées. Chacune des dix sorties (OUT\_SRxx et OUT\_LVLxx et OUT\_3STATEx) possède leur propre pair de commandes indépendantes (programmées par le registre de configuration).

La valeur de la pente doit être réglable par une commande en tension externe VCTRLEDGE. Cette entrée contrôlera deux sources de courant connectées aux miroirs de courant de chaque BUFFER\_TG (voir 4.5.1.1). La plage de valeurs du courant s'établira en fonction de la charge capacitive sur chaque sortie.

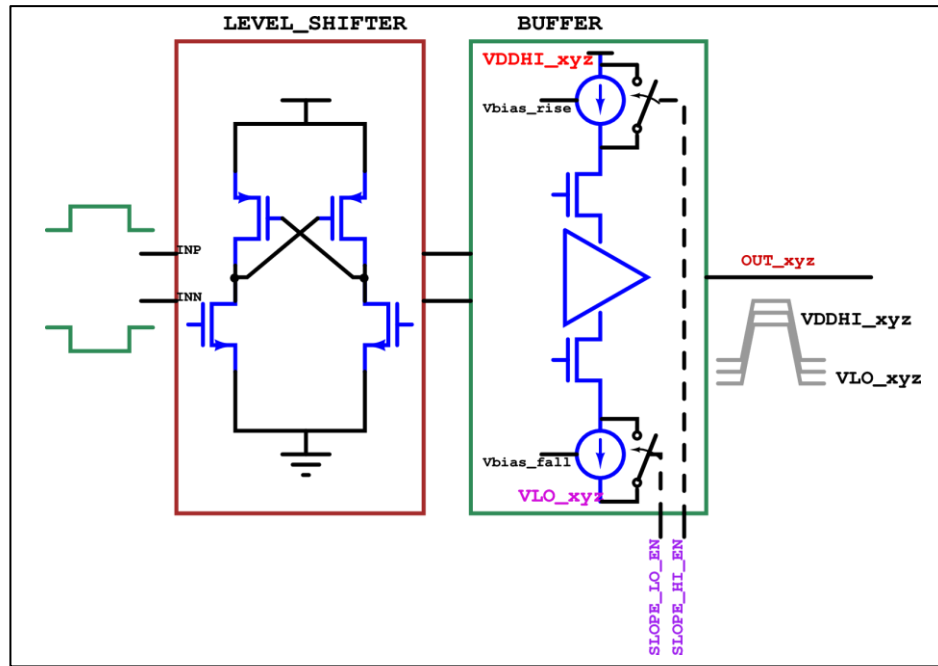


Figure 4-8 Schéma blocs LEVEL\_TRANSLATOR

Dans tous les cas, les circuits LEVEL\_SHIFTER et BUFFER seront dimensionnés afin d'assurer leur fonctionnement dans toute la plage de tensions spécifiées.

Tableau 7 Spécifications sorties LEVEL\_TRANSLATOR

VSR_SR_LVL	INPUT	OUT_xyz	Slope rise (ns/V)	Slope fall (ns/V)
OUT_xxx	0V	-2V → 1V	10ns/V → 200ns/V	10ns/V → 200ns/V
	1.0V	2.2V → 2.75V		

Une étude préalable est nécessaire afin de déterminer la charge capacitive sur chaque sortie.

Une capacité très faible peut impliquer un courant de charge trop faible. Afin d'éviter un régime à faible inversion des MOS impliqués, une charge fixe peut éventuellement être implémentée à la sortie du BUFFER. Cette option rend le contrôle de fronts moins dépendant du type de pixel choisi.

#### 4.5.1.1 Source de courant des contrôles de pentes (BIAS CTRL RISE/FALL)

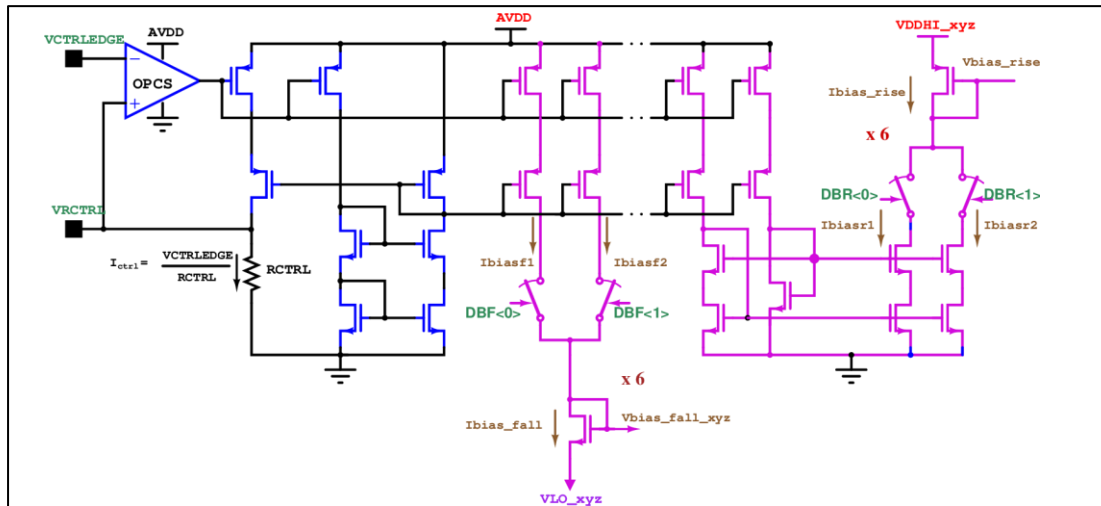
Les polarisations des miroirs de courant du BUFFER sont générées à partir d'une source commune commandée par une tension analogique externe (VCTRLLEDGE). Celle-ci est distribuée sur les différentes destinations par des branches indépendantes, chacune connectée à sa tension correspondante (VDDHI\_xyz ou VLO\_xyz).

Une possibilité de programmation des courants sera implémentée pour chaque polarisation de manière indépendante à partir de deux bits par canal (DBR<0,1> et DBF<0,1>). Ces deux bits sont programmés dans le registre de configuration REGCONF. Il y aura donc un total de 48 bits (24 pour la pente positive et 24 pour la négative) attribués à ce contrôle.

La configuration (0,0) des bits de programmation implique la désactivation du contrôle de pentes, c'est-à-dire des signaux des commandes SLOPE\_HI\_EN et SLOPE\_LO\_EN qui vont court-circuiter les sources de courant du BUFFER correspondant.

Un exemple de réalisation est montré Figure 4-9.





Ce type de conversion tension-courant est similaire à celui présenté dans la section 7.2, où l'amplificateur opérationnel OPCS est dûment spécifié.

Un bloc logique assurera la gestion entre le registre de configuration REGCONF et les interrupteurs de courant, ainsi que de la génération des commandes SLOPE\_HI\_EN et SLOPE\_LO\_EN.

Les conducteurs qui véhiculent les signaux Vbias\_fall et Vbias\_rise seront pertinemment routés avec un blindage approprié.

## 4.6 Exemples chronogrammes VSR

### 4.6.1 MATRICE PIXEL FMCW

Le pixel prioritaire à tester est du type FMCW. Il est destiné à être intégré dans une plateforme spécifique de pilotage et de lecture.

Pour le caractériser le mode Rolling Shutter (RS) est utilisé avec intégration ligne par ligne (entre 100µs et 200µs) suivie de la lecture, comme montré ci-dessous.

Pour des raisons de simplicité, seules les sorties de la ligne <0> sont montrées en détail. Les sorties des lignes suivantes <1> et <2> sont regroupées pour une meilleure visibilité.

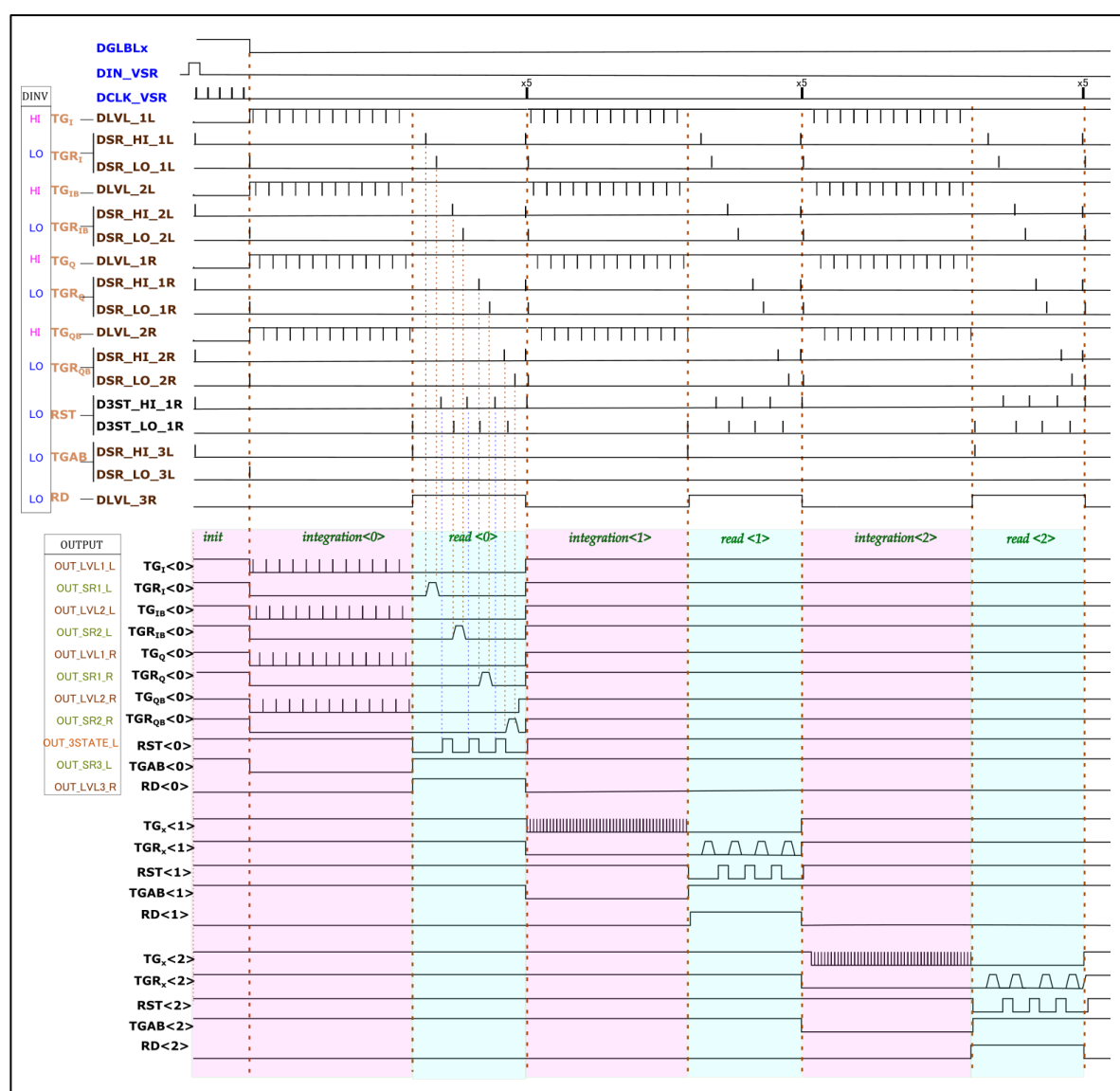


Figure 4-10 Chronogramme adressage vertical matrice FMCW (mode RS)

Le choix des sorties des drivers est arbitraire mais il doit suivre une cohérence suivant la nature du signal à générer.

Dans annexe 1, des chronogrammes correspondants au pixel 5T en mode GS et RS sont montrés.

## 5 Adressage horizontal

### 5.1 Chemin du signal

Les circuits d'adressage horizontal ont comme fonction principale de sélectionner séquentiellement les signaux analogiques stockés en bas de colonne et de les aiguiller vers l'amplificateur de sortie (LNAB).

Lorsqu'une ligne est lue (transistor RD du pixel passant), le signal du pixel est reproduit et échantillonné (opération CDS) dans les capacités en bas de colonne.

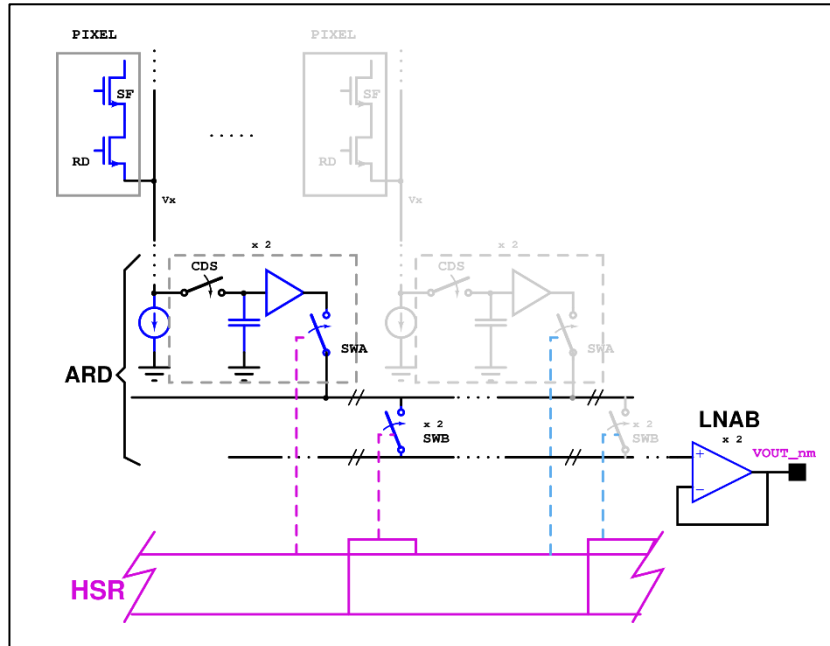


Figure 5-1 Chemin du signal

Le bloc CDS est décrit en détail dans le paragraphe 5.4.

Les signaux stockés sont ensuite bufférisés et acheminés vers les amplificateurs LNAB moyennant l'activation des interrupteurs SWA (par colonne) et SWB (par groupe de 22 colonnes). La distribution de l'arbre d'interrupteurs est décrite plus bas.

Ce chemin du signal est double : une voie pour le signal de référence (Vblack) et un autre pour le signal (Vsig). Leur multiplexage est réalisé en parallèle afin d'obtenir un signal en pseudo-différentiel en sortie sur les deux LNAB (deux au top et deux au bottom).

### 5.2 Registre HSR

Le cœur du registre horizontal HSR est un registre à décalage conventionnel à une seule bascule par étape. Comme dans le cas du VSR, il est associé à un registre ROI\_H qui a la même fonction que le ROI\_V en tant que masque pour inhiber ou habiliter chaque étape du HSR. La Figure 5-2 montre les différents blocs autour du HSR.

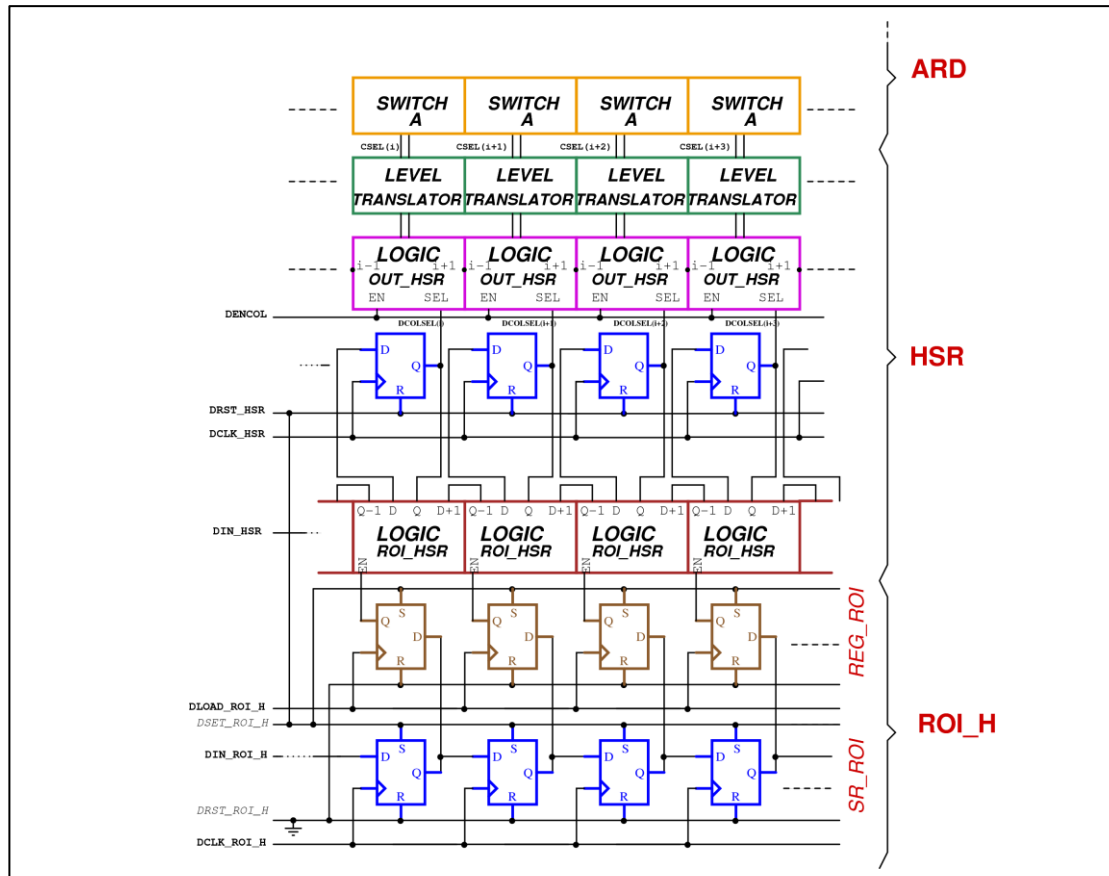


Figure 5-2 Adressage horizontal

Le bloc LOGIC\_ROI\_HSR est fonctionnellement similaire au bloc LOGIC\_ROI\_VSR décrit dans le paragraphe 4.2, sauf la présence d'un deuxième registre tampon REG\_ROI qui permet la mémorisation du contenu du registre à décalage avec la commande DLOAD\_ROI\_H.

Ce bloc constitue une option. À évaluer séparément. Sa fréquence de fonctionnement est, par contre, identique à celle du registre à décalage HSR, c'est-à-dire  $f_{pix}$  (voir Tableau 6).

Une logique à chaque sortie (LOGIC\_OUT\_HSR) inhibe la sélection de colonne pendant la période de précharge (voir 5.7 et chronogramme dans 5.8), ainsi qu'assure la gestion du deuxième niveau d'interrupteurs (switch B).

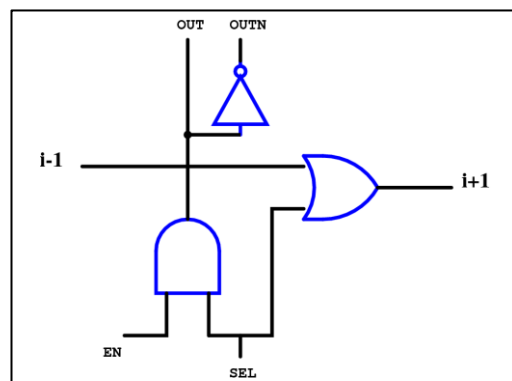
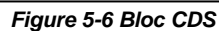


Figure 5-3 Schéma LOGIC\_OUT\_HSR

La sortie logique basse tension est ensuite adaptée par un translateur de niveau pour commander les interrupteurs analogiques du premier niveau A.





Les noms des signaux de commande prendront le suffixe correspondant aux côtés TOP ou BOT ou les blocs sont situés. Par exemple: CDS\_BLK\_TOP, CDS\_BLK\_BOT, CDS\_SIG\_TOP, CDS\_SIG\_BOT, etc.

### 5.4.1 Bloc built-in CDS

Cette version permet, par exemple de lire un pixel à quatre signaux (ex. FMCW) en effectuant la différence  $V(vblk) - V(vsig)$  directement sur chaque voie.

Pour cela, un PMOS suiveur additionnel PSF2 et une capacité Ccds sont implémentés (Figure 5-7 ci-dessous), ainsi que des interrupteurs permettant soit la fonction standard décrite précédemment, soit l'opération CDS interne.

En mode standard, le switch SWCDSI connecte les nœuds vblk et vsig aux grilles des suiveurs PSF, en connectant à la fois la grille des PSF2 à l'alimentation AVDD1 pour le bloquer.

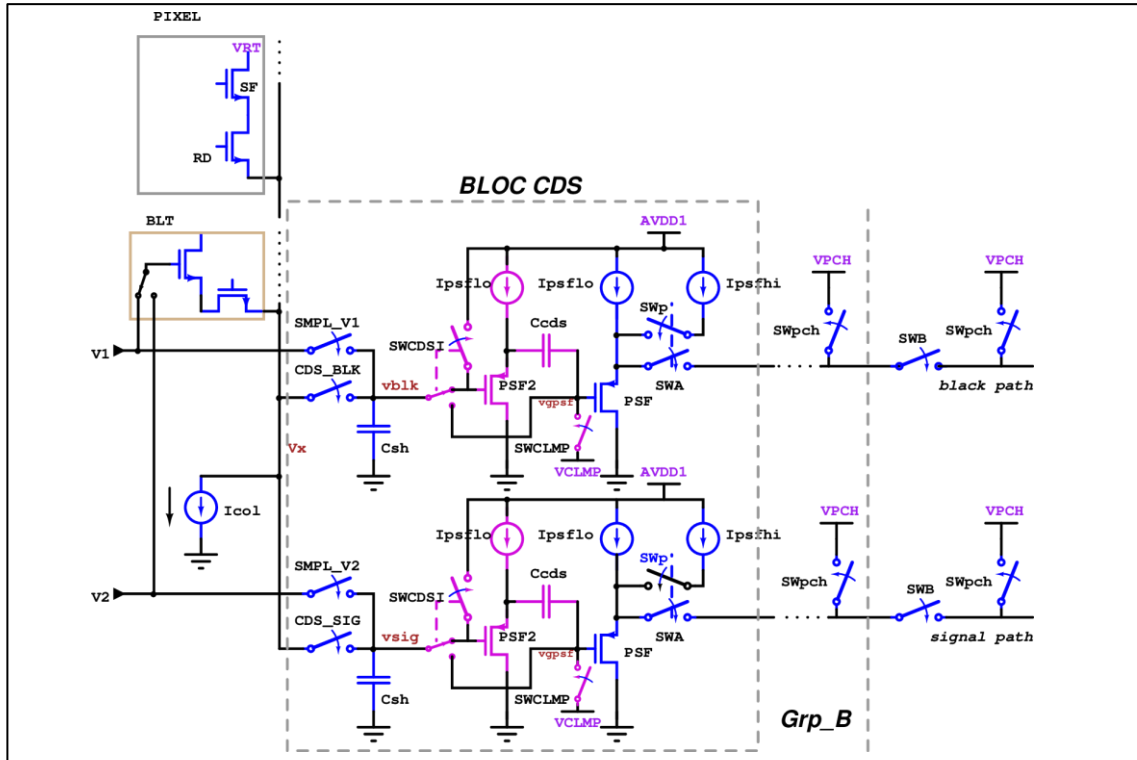


Figure 5-7 Bloc built-in CDS

Dans le mode built-in CDS, le switch SWCDSI connecte vblk et vsig sur la grille de PSF2 qui est déconnectée de AVDD1. Dans une première phase, le switch SWCLMP connecte une électrode de la capacité Ccds à la tension VCLMP, tandis que l'autre électrode échantillonne le signal en provenance du pixel  $V(Vx1)$ . Ensuite, SWCLMP ouvre et la deuxième valeur en provenance du pixel  $V(Vx2)$  est appliquée sur Ccds. Ceci donne comme résultat  $V(vgsf) = VCLPM + (V(Vx2) - V(Vx1))$ . Dans un mode conventionnel de fonctionnement  $V(Vx1) = Vblk$  (tension black) et  $V(Vx2) = Vsig$ . Par conséquent, le signal résultant  $V(vgsf)$  vaut  $(Vsig - Vblk) + VCLMP$ . VCLMP étant connu, le double échantillonnage corrélé CDS a été mesuré.

Une logique décode le mode de fonctionnement d'échantillonnage entre Vx et les tensions V1 et V2. Les bits du registre REGCONF configurent la sélection entre les deux. Voir ci-dessous :

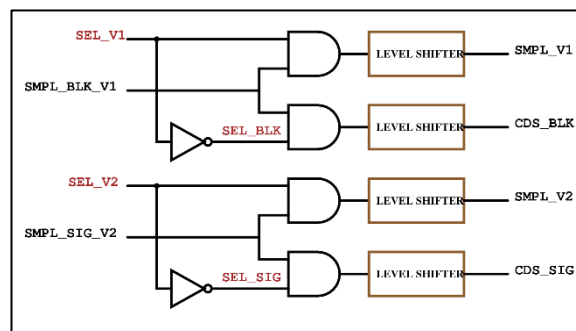


Figure 5-8 Logique commandes interrupteurs CDS

Le bloc Bitline Test BLT est décrit dans le paragraphe 5.6.

La topologie et le dimensionnement des interrupteurs doit être en adéquation avec les tensions et les vitesses de réponse spécifiées, ainsi que pour minimiser les couplages et les fuites.

Le courant de colonne Icol est ajustable par une tension externe (voir 7.2).

Les suiveurs PSF sont constamment polarisés à faible courant  $I_{psflo}$  ( $0.5\mu A$ ). Lors de la sélection de la colonne par son interrupteur SWA correspondant, l'interrupteur SWp est actionné au même moment pour apporter du courant de polarisation supplémentaire  $I_{psfhi}$  afin d'améliorer son temps de réponse, car la capacité à charger est celle du bus analogique et devient donc plus importante. La valeur de ce courant dépend de la capacité du bus (voir 5.5) et du temps d'établissement souhaité ( $T_{sett}$ , Tableau 8). Les sources  $I_{psfhi}$  peuvent être implémentées sur plusieurs colonnes.

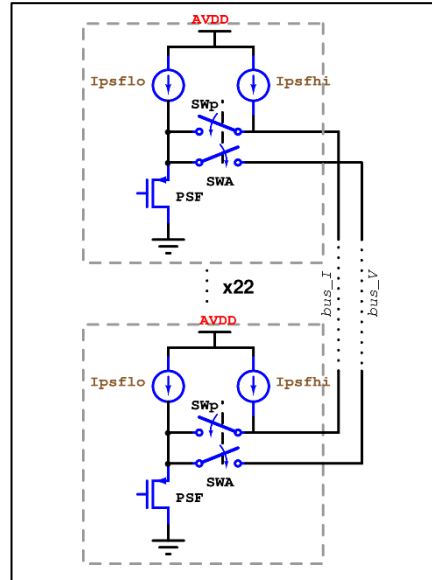


Figure 5-9 Répartition courant  $I_{psfhi}$

Des valeurs indicatives des paramètres décrits plus haut sont reprises ci-dessous :

Tableau 8 Valeurs paramètres CDS

Paramètre	Valeur	Commentaire
Icol	$0.5\mu A \rightarrow 10\mu A$	Courant colonne
Csh	$1.2pF$	Capacité d'échantillonnage
Ipsflo	$0.5\mu A$	Courant de repos PSF
Ipsfhi	$20\mu A$	Courant de fonctionnement PSF
Tsett	$10ns$	Temps d'établissement @ 14 bit

Le temps  $T_{sett}$  correspond à l'établissement du signal après la fermeture des interrupteurs SWp et SWA.

## 5.5 Arbre d'interrupteurs (SWITCH\_TREE)

Le signal analogique issu de chaque colonne doit atteindre l'entrée du buffer de sortie (LNAB). Pour cela, chaque suiveur PMOS (PSF) doit fournir le courant suffisant pour charger la capacité totale du bus analogique.

Avec un seul bus, la capacité totale vue par chaque suiveur serait de

$$C_{bustot} = C_r + 660 \times C_{sw} + C_{in\_LNAB}$$

$C_r$  étant la capacité de routage du fil,  $C_{sw}$  la capacité par switch et  $C_{in\_LNAB}$  la capacité d'entrée de l'amplificateur LNAB.

Avec deux niveaux d'interrupteurs repartis en 15 groupes de 22 colonnes, le schéma est :



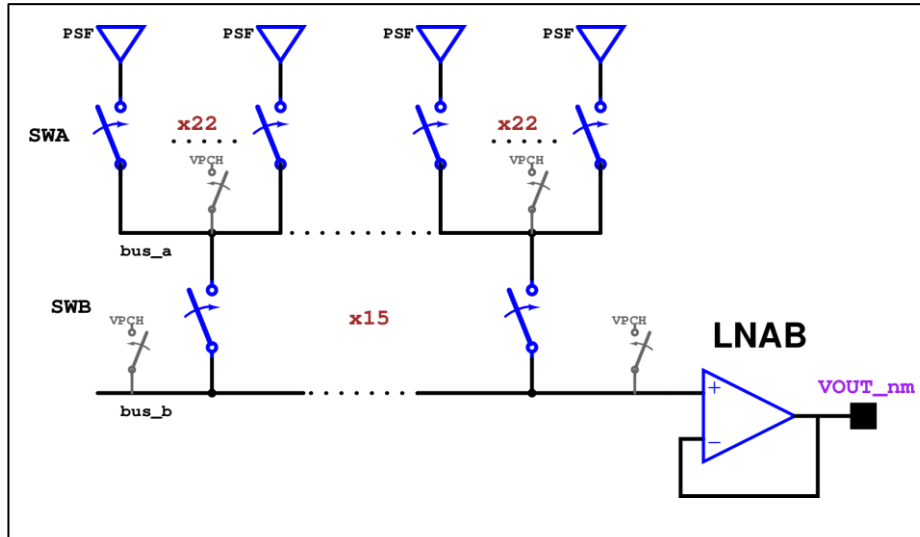


Figure 5-10 Arbres d'interrupteurs (SWITCH\_TREE)

Les interrupteurs de précharge commandés par le signal DPRECH (voir 7.1) de chaque segment de bus sont montrés dans la figure.

La capacité à charger devient :

$$C_{load\_psf} = C_{bus\_b} + C_{bus\_a} + 21 \times C_{sw} + C_{in\_LNAB}$$

laquelle est largement inférieure à la valeur  $C_{bustot}$ .

Une estimation des valeurs des capacités mentionnées est nécessaire afin de calculer le courant  $I_{psfhi}$  des sources de courant décrites dans le paragraphe 5.4.

## 5.6 Bitline test (BLT)

### 5.6.1 Fonction test électrique

Le circuit BLT prend la place d'une ligne de pixels aux extrémités de la matrice. Sa fonction principale est de permettre le test électrique du registre de lecture ARD sans passer par les pixels fonctionnels. Il commute deux tensions connues ( $V_1$  et  $V_2$ ) vers chaque colonne (signal  $V_x$ ) pour être échantillonnées par le bloc CDS, puis lues en sortie. Si la tension ( $V_1$  ou  $V_2$ ) n'est pas commutée, les tensions  $v_{black}$  et  $v_{sig}$  (Figure 5-6) sont identiques et la tension différentielle résultante vaut zéro (niveau noir). Par contre, si pendant la période de lecture une des deux tensions (la plus élevée) est commuté vers  $v_{sig}$  et l'autre (la plus faible) vers  $v_{black}$ , la valeur différentielle sera différente de zéro (niveau white). De cette manière, une alternance white-black est possible afin de générer un créneau de test.

La Figure 5-11 montre les différents éléments du bloc, avec les entrées permettant les différents modes de fonctionnement. Ces entrées logiques sont programmées dans le registre de configuration REGCONF (voir 7.2).

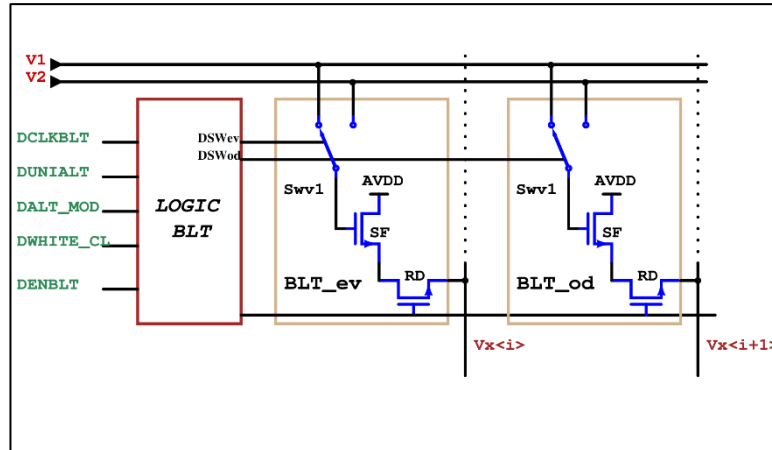


Figure 5-11 Bitline test BLT

Le chronogramme correspondant à la fonction Bitline Test est monté ci-dessous.

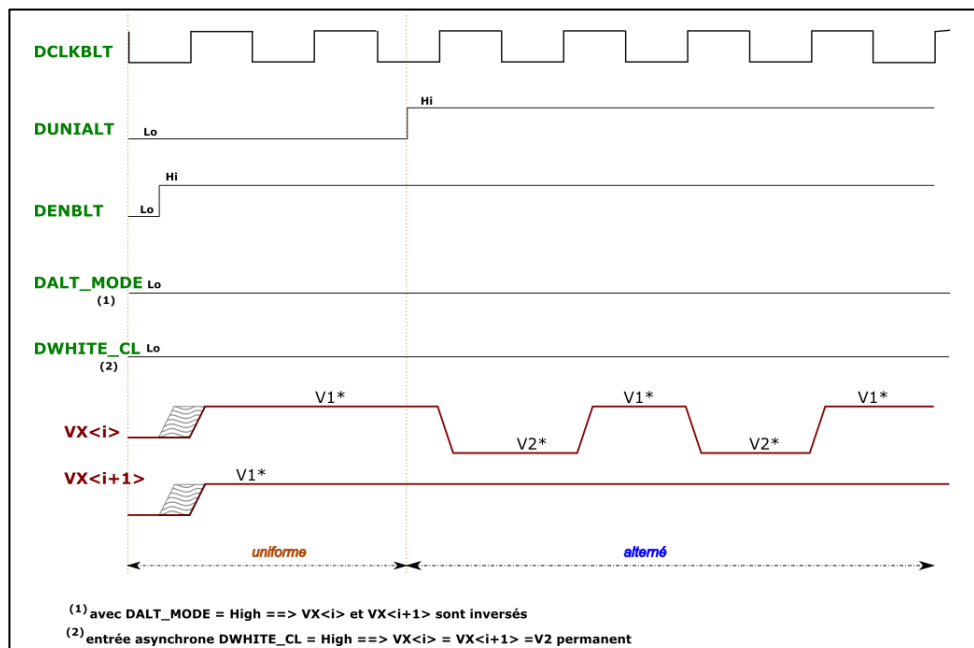


Figure 5-12 Chronogramme BitLine Test

L'horloge DCLKBLT est à la fréquence ligne afin de permettre l'opération CDS en bas des colonnes suivie de la lecture multiplexée pilotée par le HSR (non montré sur le chronogramme).

### 5.6.2 Fonction White Clamp

Une deuxième fonction du BitLine Test est celle de « white clamp », qui est celle d'empêcher la tension sur  $V_x$  de descendre en dessous de 0.3V, afin de garantir la saturation de la source de courant de la colonne. Cette opération est normalement active pendant le fonctionnement nominal du circuit. Son chronogramme est montré Figure 5-13.

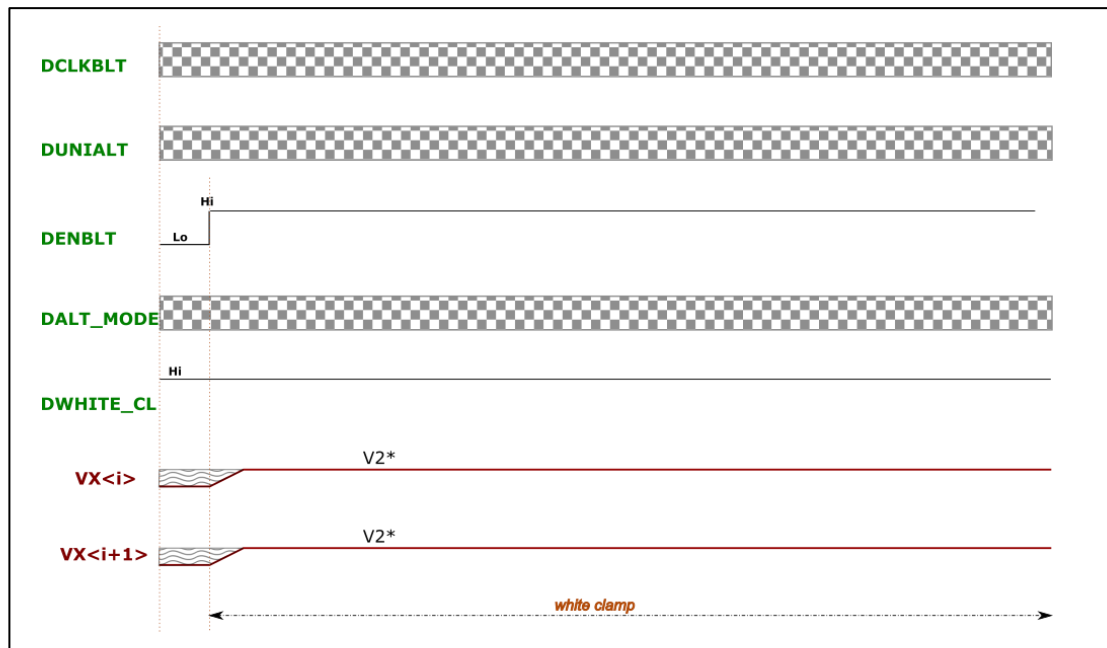


Figure 5-13 Chronogramme White Clamp

## 5.7 Fonction de précharge

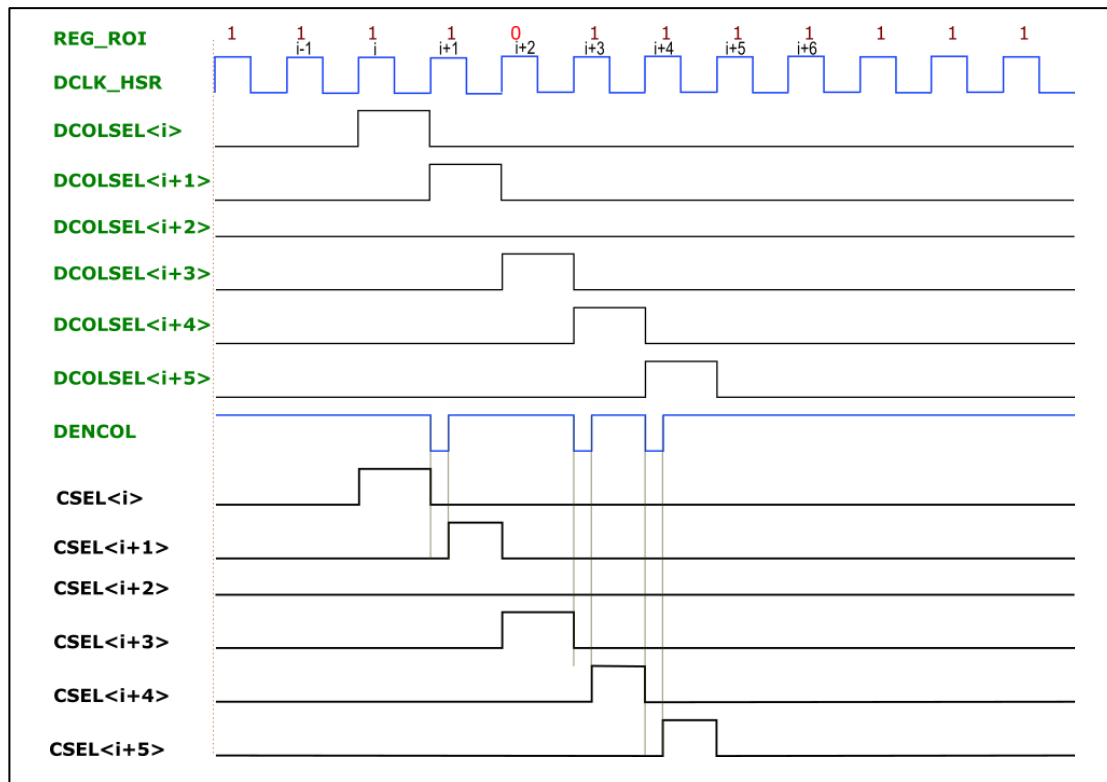
Afin d'optimiser la réponse du signal analogique, une précharge à une tension VPCH sur les bus analogiques bus\_a et bus\_b (Figure 5-10) doit être effectuée à chaque période d'horloge DCLK\_HSR. Cette opération s'effectue par l'intermédiaire des interrupteurs SWpch (voir Figure 5-6) qui sont commandés par le signal DPRECH généré par un bloc dédié (voir 7.1). Il est par contre nécessaire que tous les interrupteurs SWA soient ouverts au moment de la précharge afin de protéger les suiveurs PSF. Une logique combinatoire inhibera les commandes des SWA (DCOLSEL) pendant la période de précharge par l'intermédiaire du signal DENCOL issu du générateur de précharge cité. Ce bloc (LOGIC\_OUT\_HSR) est montré dans la Figure 5-3.

Un exemple de circuit est montré Figure 7-2.

## 5.8 Chronogramme

Un exemple de chronogramme de l'adressage horizontal est montré dans la Figure 5-14.

Il montre l'adressage de 6 colonnes consécutives et ses signaux associés suivant la Figure 5-2.



**Figure 5-14 Chronogramme adressage horizontal**

On observe les différentes sorties selon la programmation préalable du ROI. Dans cet exemple, la colonne  $<i+2>$  est ignorée, le signal DCOLSEL correspondant reste donc inactif.

La commande associée à la précharge DCOLSEL inhibe les sorties CSEL pendant sa durée afin d'éviter la connexion directe de l'alimentation VPCH aux sources des PMOS suiveurs PSF.

## 6 Buffers analogiques de sortie

Il existe deux types d'amplificateur analogique de sortie : un rapide (FAB) dédié au monitoring de certains signaux internes et un deuxième à faible bruit (LNAB) pour la sortie des signaux pixels.

### 6.1 Amplificateur rapide (FAB)

Il est destiné à la visualisation des signaux de commande pixel, notamment ceux qui possèdent des temps de montée et descente réglables, afin de les ajuster par l'intermédiaire de leurs polarisations correspondantes. Ces temps de transition sont de l'ordre de quelques dizaines de nanosecondes. Les niveaux des tensions des commandes internes ont des dynamiques assez importantes, ce qui rend compliquée l'implémentation d'un amplificateur ayant à la fois une large excursion de sa tension de sortie et une réponse très rapide. La réponse temporelle est donc privilégiée par rapport à la dynamique.

Une alimentation dédiée AVDDFAB AVSSFAB permet d'isoler l'amplificateur du reste de la circuiterie. Il est important de prévoir des capacités de découplage internes (voir chapitre 9).

**Tableau 9 Spécifications FAB**

Paramètre		Valeur	Commentaires
Alimentation AVDDFAB		1.98V	Alimentation positive dédiée
Alimentation négative AVSSFAB		-2V → +1V	Alimentation négative dédiée
Temps de montée-descente		~10ns/V	Valeur typique (entrée à 1ns/V)
Temps d'établissement		<20ns	À 1% de la valeur finale
Dynamique d'entrée	Min	AVSSAB	
	Max	AVDDAB	
Dynamique de sortie	Min	AVSSAB + 1	
	Max	AVDDAB -0.3V	
Gain		>0.8	Suiveur PMOS
Capacité de charge max		10pF	Plot + routage + driver carte (ou sonde)
Courant de sortie statique max		~4μA	Sonde 1MΩ
Consommation statique		<500μA	
Mise en standby		oui	

Un exemple de réalisation est montré Figure 6-1.

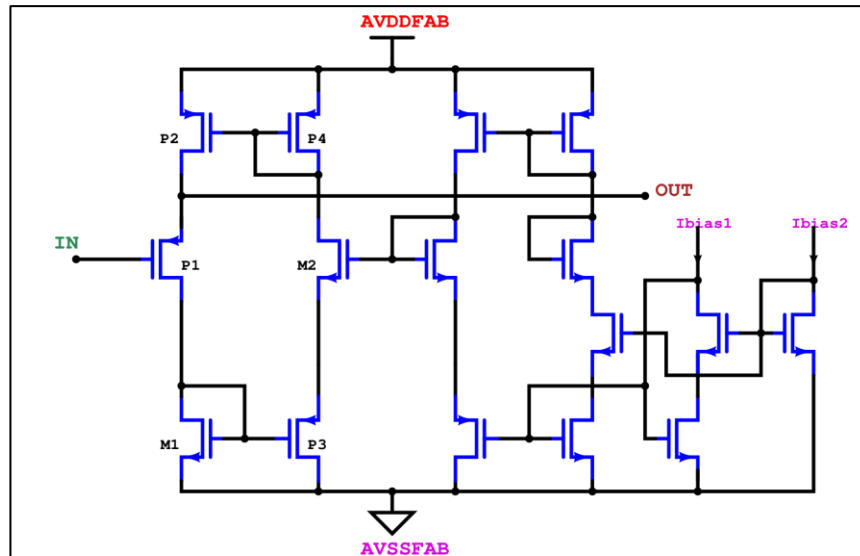


Figure 6-1 Schéma FAB

Lors d'une transition rapide (front montant) sur l'entrée IN, le PMOS P1 d'entrée est bloqué et le courant de polarisation de la source P2 est complètement transféré à la sortie jusqu'à l'équilibre. Ceci se voit favorisé par le fait que la diode M1 ne reçoit pas de courant et provoque la mise en conduction de P3. La source de courant M2 et le miroir P4-P2 déterminent le courant maximum de sortie.

Pour un front descendant sur IN, la sortie OUT est déchargée sur P1 sur la diode M1, laquelle provoque le blocage de P3 et du miroir P4-P2.

Les autres transistors génèrent la polarisation de M2, donc du courant de la boucle décrite précédemment.

La fonction standby à implémenter n'est pas montrée dans ce schéma.

## 6.2 Amplificateur faible bruit (LNAB)

L'amplificateur faible bruit constitue un élément clé de la chaîne de lecture. Les deux voies pseudo-différentielles en possèdent une paire chacune.

Avec un gain unitaire, il adapte l'impédance du bus analogique interne vers l'extérieur de la puce. Sa contribution au bruit total doit être minimisée et doit posséder une dynamique et une bande passante compatibles avec le signal.

Une alimentation spécifique AVDDAB permet de l'isoler du reste de la circuiterie.

Le liste montrée dans le Tableau 10 décrit les paramètres principaux du circuit.

Tableau 10 Spécifications LNAB

Paramètre	Valeur	Commentaires
Alimentation nominale AVDDAB	1.98V	
Bande passante	35MHz	Compatible 14bits @ 1V
Temps d'établissement @1V	<50ns	±60µV de la valeur finale
Dynamique d'entrée (=sortie)	0.5V à 1.6V	
Linéarité	<1%	Entre 0.6V et 1.8V
Offset systématique	<2mV	Limite mismatch pair d'entrée
Gain boucle ouverte	60dB	Pire cas 55dB
Gain boucle fermée	>0.998	Montage suiveur
Bruit	<50µV <sub>rms</sub>	Sur toute la bande passante
Capacité de charge max	25pF	Plot + routage + driver carte (ou sonde)
Courant de sortie statique max	2µA	Sonde 1MΩ ou amplificateur carte
PSRR	70dB	Limite design
CMRR	80dB	Indicatif (peu de sens dans l'application)
Consommation statique	<7mA	
Mise en standby	oui	Pas obligatoire si dégradation performances

L'architecture de l'amplificateur doit être choisie en fonction des performances spécifiées. Une implémentation basée sur la technique de capacités commutées est également envisageable. Dans ce cas, il serait éventuellement possible d'implémenter du gain commutable et programmable par le registre de configuration.

## 7 Circuits auxiliaires

### 7.1 Générateurs d'horloge (CLOCK\_GEN)

Un bloc de mise en forme des différentes horloges est éventuellement nécessaire pour, par exemple, leur transformation en signal différentiel ou en horloges non recouvrantes. Un exemple de réalisation est montré ci-dessous.

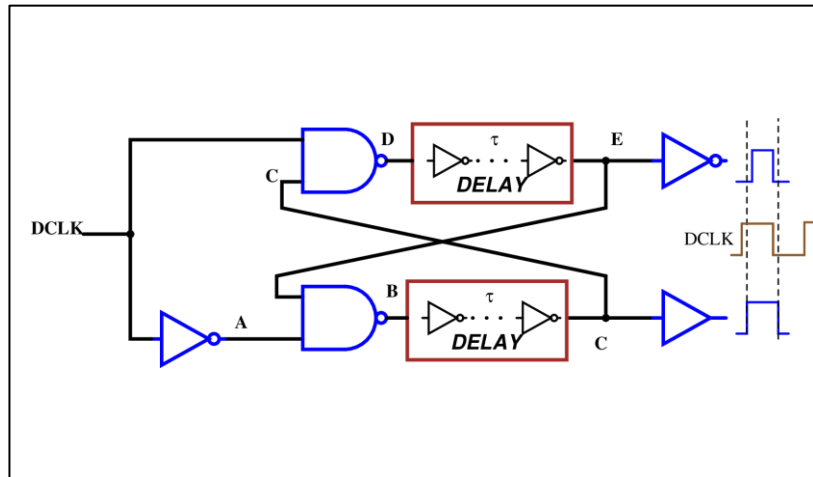


Figure 7-1 Générateur horloge non-recouvrante

Un circuit dédié (PRELOAD) génère les impulsions liées à la précharge. Une des sorties commande les interrupteurs connectés à VPCH et aux différents bus analogiques et une deuxième inhibe la sortie du HSR vers les interrupteurs de sélection de colonne.

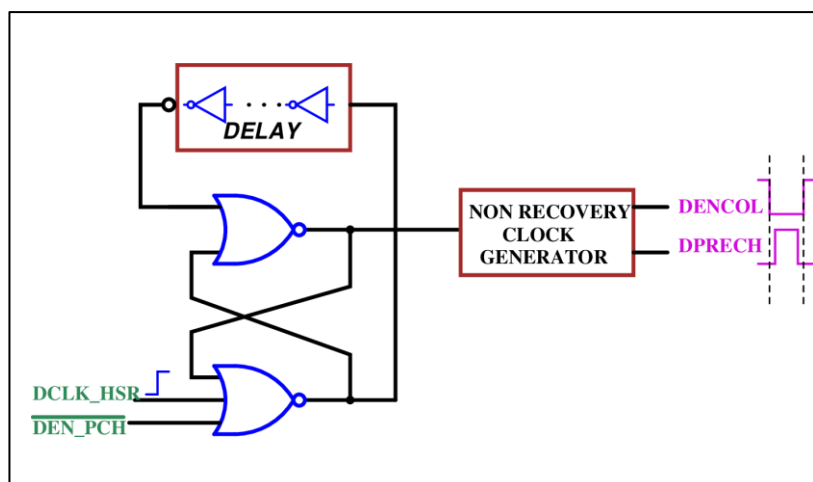


Figure 7-2 Circuit de précharge (PRELOAD)

### 7.2 Registre de configuration (REGCONF)

Le registre à décalage REGCONF permet de programmer un certain nombre de commandes internes statiques.



Le tableau ci-dessous liste l'ensemble de signaux internes ainsi que leur description.

Tableau 11 Registre REGCONF

Nom	Nb bits	Bit REGCONF	Fonction / Commentaires
<b>SIGNAUX BLT</b>			
DUNIALT	1	DRC<0>	Sélection BLT uniforme/alterné
DALT_MODE	1	DRC<1>	Sélection mode BLT alterné
DWHITE_CL	1	DRC<2>	Mode White Clamp
DENBLT	1	DRC<3>	BLT enable
<i>Total BLT</i>	<i>4</i>		
<b>SIGNAUX VSR</b>			
DSLOPE_HI_EN_SR_1R	1	DRC<4>	Validation pente montante OUT_SR_1R
DSLOPE_LO_EN_SR_1R	1	DRC<5>	Validation pente descend. OUT_SR_1R
DSLOPE_HI_EN_SR_2R	1	DRC<6>	Validation pente montante OUT_SR_2R
DSLOPE_LO_EN_SR_2R	1	DRC<7>	Validation pente descend. OUT_SR_2R
DSLOPE_HI_EN_SR_1L	1	DRC<8>	Validation pente montante OUT_SR_1L
DSLOPE_LO_EN_SR_1L	1	DRC<9>	Validation pente descend. OUT_SR_1L
DSLOPE_HI_EN_SR_2L	1	DRC<10>	Validation pente montante OUT_SR_2L
DSLOPE_LO_EN_SR_2L	1	DRC<11>	Validation pente descend. OUT_SR_2L
DSLOPE_HI_EN_LVL_1R	1	DRC<12>	Validation pente montante OUT_LVL_1R
DSLOPE_LO_EN_LVL_1R	1	DRC<13>	Validation pente descend. OUT_LVL_1R
DSLOPE_HI_EN_LVL_2R	1	DRC<14>	Validation pente montante OUT_LVL_2R
DSLOPE_LO_EN_LVL_2R	1	DRC<15>	Validation pente descend. OUT_LVL_2R
DSLOPE_HI_EN_LVL_3R	1	DRC<16>	Validation pente montante OUT_LVL_3R
DSLOPE_LO_EN_LVL_3R	1	DRC<17>	Validation pente descend. OUT_LVL_3R
DSLOPE_HI_EN_LVL_1L	1	DRC<18>	Validation pente montante OUT_LVL_1L
DSLOPE_LO_EN_LVL_1L	1	DRC<19>	Validation pente descend. OUT_LVL_1L
DSLOPE_HI_EN_LVL_2L	1	DRC<20>	Validation pente montante OUT_LVL_2L
DSLOPE_LO_EN_LVL_2L	1	DRC<21>	Validation pente descend. OUT_LVL_2L
DSLOPE_HI_EN_LVL_3L	1	DRC<22>	Validation pente montante OUT_LVL_3L
DSLOPE_LO_EN_LVL_3L	1	DRC<23>	Validation pente descend. OUT_LVL_3L
DSLOPE_HI_EN_3ST_1R	1	DRC<24>	Validation pente montante OUT_3ST_1R
DSLOPE_LO_EN_3ST_1R	1	DRC<25>	Validation pente descend. OUT_3ST_1R

Nom	Nb bits	Bit REGCONF	Fonction / Commentaires
DSLOPE_HI_EN_3ST_1L	1	DRC<26>	Validation pente montante OUT_3ST_1L
DSLOPE_LO_EN_3ST_1L	1	DRC<27>	Validation pente descend. OUT_3ST_1L
DBR_SR_1R<0,1>	2	DRC<28,29>	Prog. pente montante OUT_SR_1R
DBR_SR_2R<0,1>	2	DRC<30,31>	Prog. pente montante OUT_SR_2R
DBR_SR_1L<0,1>	2	DRC<32,33>	Prog. pente montante OUT_SR_1L
DBR_SR_2L<0,1>	2	DRC<34,35>	Prog. pente montante OUT_SR_2L
DBR_LVL_1R<0,1>	2	DRC<36,37>	Prog. pente montante OUT_LVL_1R
DBR_LVL_2R<0,1>	2	DRC<38,39>	Prog. pente montante OUT_LVL_2R
DBR_LVL_3R<0,1>	2	DRC<40,41>	Prog. pente montante OUT_LVL_3R
DBR_LVL_1L<0,1>	2	DRC<42,43>	Prog. pente montante OUT_LVL_1L
DBR_LVL_2L<0,1>	2	DRC<44,45>	Prog. pente montante OUT_LVL_2L
DBR_LVL_3L<0,1>	2	DRC<46,47>	Prog. pente montante OUT_LVL_3L
DBR_3ST_1R<0,1>	2	DRC<48,49>	Prog. pente montante OUT_3ST_1R
DBR_3ST_1L<0,1>	2	DRC<50,51>	Prog. pente montante OUT_3ST_1L
DBF_SR_1R<0,1>	2	DRC<52,53>	Prog. pente descendante OUT_SR_1R
DBF_SR_2R<0,1>	2	DRC<54,55>	Prog. pente descendante OUT_SR_2R
DBF_SR_1L<0,1>	2	DRC<56,57>	Prog. pente descendante OUT_SR_1L
DBF_SR_2L<0,1>	2	DRC<58,59>	Prog. pente descendante OUT_SR_2L
DBF_LVL_1R<0,1>	2	DRC<60,61>	Prog. pente descendante OUT_LVL_1R
DBF_LVL_2R<0,1>	2	DRC<62,63>	Prog. pente descendante OUT_LVL_2R
DBF_LVL_3R<0,1>	2	DRC<64,65>	Prog. pente descendante OUT_LVL_3R
DBF_LVL_1L<0,1>	2	DRC<66,67>	Prog. pente descendante OUT_LVL_1L
DBF_LVL_2L<0,1>	2	DRC<68,69>	Prog. pente descendante OUT_LVL_2L
DBF_LVL_3L<0,1>	2	DRC<70,71>	Prog. pente descendante OUT_LVL_3L
DBF_3ST_1R<0,1>	2	DRC<72,73>	Prog. pente descendante OUT_3ST_1R
DBF_3ST_1L<0,1>	2	DRC<74,75>	Prog. pente descendante OUT_3ST_1L
DGLBL_SR_1R	1	DRC<76>	Commande Global OUT_SR_1R
DGLBL_SR_2R	1	DRC<77>	Commande Global OUT_SR_2R
DGLBL_SR_1L	1	DRC<78>	Commande Global OUT_SR_1L
DGLBL_SR_2L	1	DRC<79>	Commande Global OUT_SR_2L
DGLBL_LVL_1R	1	DRC<80>	Commande Global OUT_LVL_1R
DGLBL_LVL_2R	1	DRC<81>	Commande Global OUT_LVL_2R
DGLBL_LVL_3R	1	DRC<82>	Commande Global OUT_LVL_3R
DGLBL_LVL_1L	1	DRC<83>	Commande Global OUT_LVL_1L
DGLBL_LVL_2L	1	DRC<84>	Commande Global OUT_LVL_2L
DGLBL_LVL_3L	1	DRC<85>	Commande Global OUT_LVL_3L
DGLBL_3ST_1R	1	DRC<86>	Commande Global OUT_3ST_1R
DGLBL_3ST_1L	1	DRC<87>	Commande Global OUT_3ST_1L

Nom	Nb bits	Bit REGCONF	Fonction / Commentaires
DINV_SR_1R	1	DRC<88>	Inversion OUT_SR_1R
DINV_SR_2R	1	DRC<89>	Inversion OUT_SR_2R
DINV_SR_1L	1	DRC<90>	Inversion OUT_SR_1L
DINV_SR_2L	1	DRC<91>	Inversion OUT_SR_2L
DINV_LVL_1R	1	DRC<92>	Inversion OUT_LVL_1R
DINV_LVL_2R	1	DRC<93>	Inversion OUT_LVL_2R
DINV_LVL_3R	1	DRC<94>	Inversion OUT_LVL_3R
DINV_LVL_1L	1	DRC<95>	Inversion OUT_LVL_1L
DINV_LVL_2L	1	DRC<96>	Inversion OUT_LVL_2L
DINV_LVL_3L	1	DRC<97>	Inversion OUT_LVL_3L
DINV_3ST_1R	1	DRC<98>	Inversion OUT_3ST_1R
DINV_3ST_1L	1	DRC<99>	Inversion OUT_3ST_1L
<i>Total VSR</i>	<i>96</i>		
<b>ARD BLOCK</b>			
SEL_V1	1	DRC<100>	Validation interrupteur SEL_V1
SEL_V2	1	DRC<101>	Validation interrupteur SEL_V2
DENPRECH	1	DRC<102>	Validation fonction de précharge
<i>Total ARD</i>	<i>3</i>		
<b>STANDBY AMPLIFICATEURS</b>			
DISABLE FAB1	1	DRC<103>	Standby FAB1
DISABLE FAB2	1	DRC<104>	Standby FAB2
DISABLE LNAB1	1	DRC<105>	Standby LNAB1_BOT
DISABLE LNAB2	1	DRC<106>	Standby LNAB2_BOT
DISABLE LNAB3	1	DRC<107>	Standby LNAB1_TOP
DISABLE LNAB4	1	DRC<108>	Standby LNAB2_TOP
<i>Total STANDBY AMPL</i>	<i>6</i>		
<b>MONITORING</b>			
DMUXANATOP<0 :2>	3	DRC<109:111>	Sélection MUXANATOP
DMUXANABOT<0 :2>	3	DRC<112:114>	Sélection MUXANABOT
DMUXDIGV<0 :2>	3	DRC<115:117>	Sélection MUXDIGV
DMUDIGH<0 :2>	3	DRC<118:120>	Sélection MUDIGH
<i>Total MONITORING</i>	<i>12</i>		
SPARE	7	DRC<121:127>	Réserve
<b>Total bits REGCONF</b>	<b>128</b>		

Le registre REGCONF est programmé après la mise sous tension du chip.

Le schéma logique est présenté Figure 7-3.

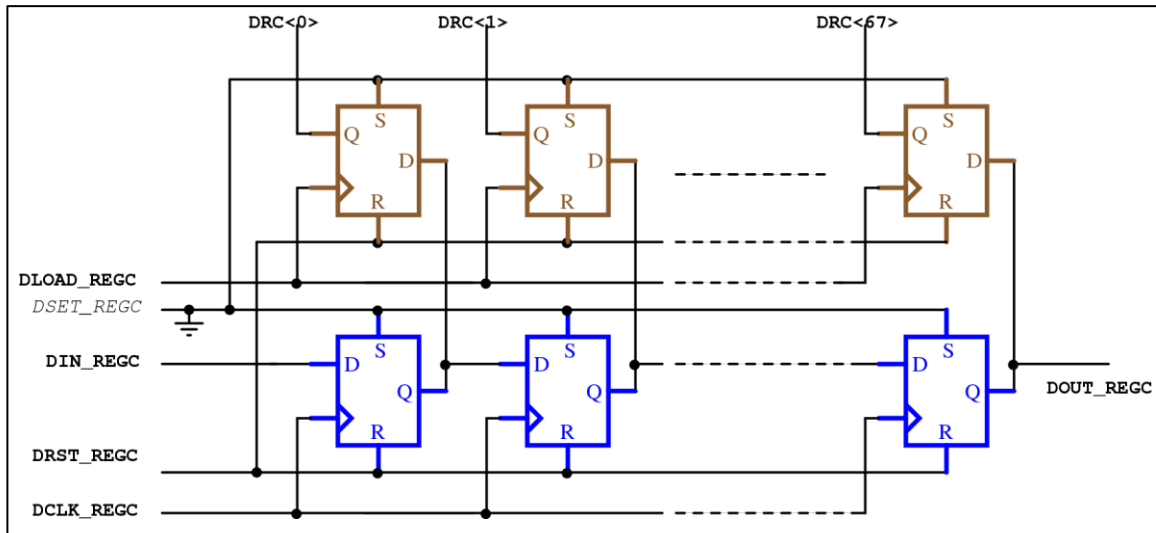


Figure 7-3 Registre REGCONF

La séquence de programmation est une simple succession de données en série (DIN\_REGC) validées chacune par le front montant de l'horloge (DCLK\_REGC) avec une validation à la fin de la période par une commande de mémorisation (DLOAD\_REGC).

### 7.3 Générateur de bias (BIAS\_GEN)

Les courants de polarisation sont générés par le même type de circuit. Un convertisseur tension-courant commandé par une source externe, fournit la référence qui sera recopiée par une série de miroirs cascodés qui vont polariser les différentes parties du circuit.

Un exemple de circuit est montré Figure 7-4.

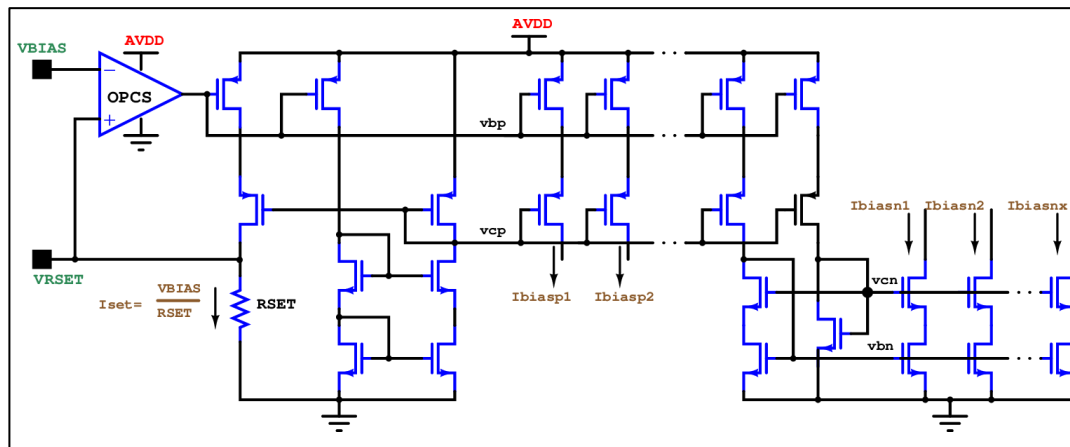


Figure 7-4 Générateur de bias

Il est recommandable de découpler avec des capacités PMOS les lignes vbp et vcp et avec des capacités NMOS les lignes vbn et vcn afin de minimiser les effets de variation de l'alimentation VDD et/ou du substrat VSS, respectivement.

### 7.3.1 Amplificateur OPCS

L'amplificateur OPCS doit être auto-polarisé, car à la mise en route du chip, les sources de courant internes ne sont toujours pas opérationnelles, puisqu'elles ont besoin justement de l'action de ce même amplificateur pour fonctionner.

Un exemple de circuit d'auto-polarisation est montré Figure 7-5.

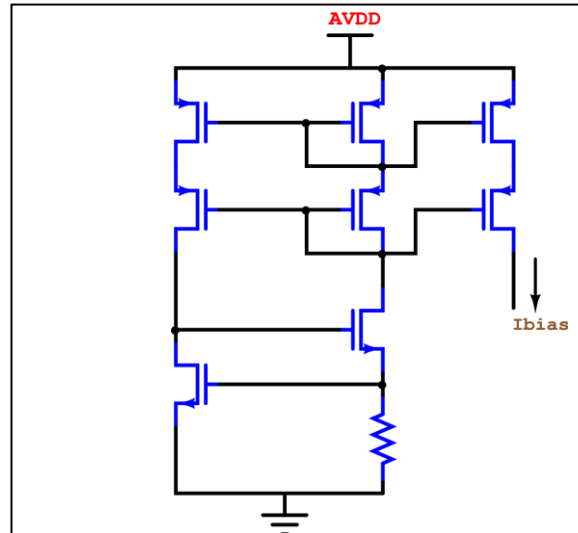


Figure 7-5 Circuit d'auto-polarisation

Un circuit auxiliaire de démarrage serait éventuellement nécessaire pour assurer sa mise en route.

Les caractéristiques principales de l'amplificateur OPCS sont énumérées dans le tableau ci-dessous.

Tableau 12 Spécifications OPCS

Paramètre	Valeur	Commentaire
Tension d'alimentation AVDD	1.98V	MOS double oxyde
Gain DC	>70dB	Minimisation de l'erreur de la tension sur la résistance
Offset	<15mV	
Fréquence de coupure	~10Hz	Bande réduite pour limiter le bruit
Bruit	<50µVrms	
Marge de phase	>65°	
Dynamique d'entrée	0.2V → 1.7V	Linéarité >80%
Consommation	<250µA	

Une topologie à cascode replié avec entrées PMOS peut convenir pour ce type de fonction, comme montré Figure 7-6.

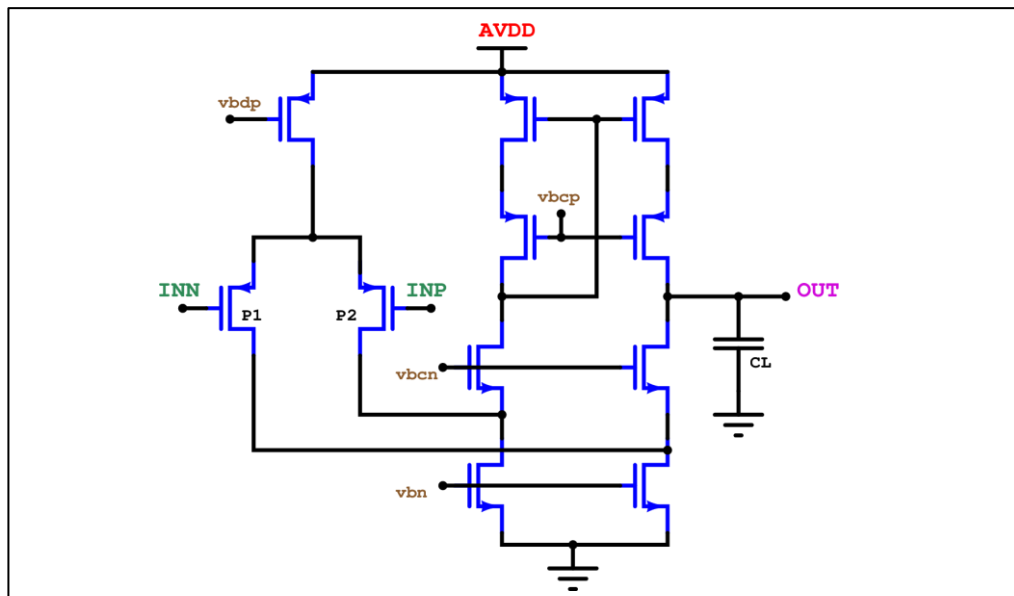


Figure 7-6 Schéma amplificateur OPCS

La génération de courant de polarisation des colonnes doit être implémentée séparément. Il est essentiellement identique au précédent, avec une entrée de contrôle spécifique VICOL.

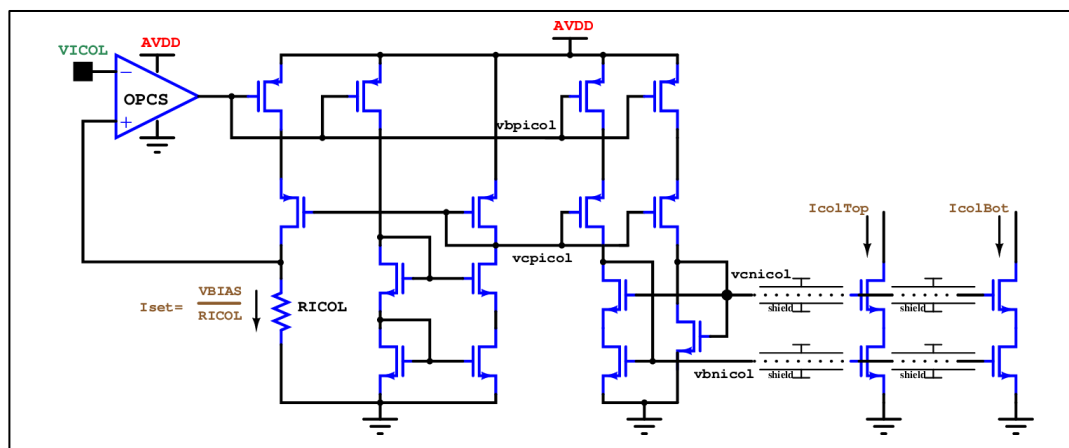


Figure 7-7 Générateur de bias colonnes

La référence de courant générée par la paire de tensions vcnicol et vbnicol est distribuée sur les deux moitiés (supérieure et inférieure) des sources de courant des colonnes. Les conducteurs des deux signaux doivent être blindés avec deux pistes de masse de chaque côté.

## 7.4 Capteur température (TS) (OPTION)

Le principe est basé sur la mesure d'une jonction unipolaire (pn) lorsque la jonction est polarisée par un courant contrôlé.

$$I = I_s e^{(qV_{be}/kT)}$$

Une puce externe génère deux courants distincts et mesure les tensions correspondantes. Avec deux valeurs de courants fixés à 230µA et 13µA (ADM1032), la différence entre les deux tensions est directement proportionnelle à la température.

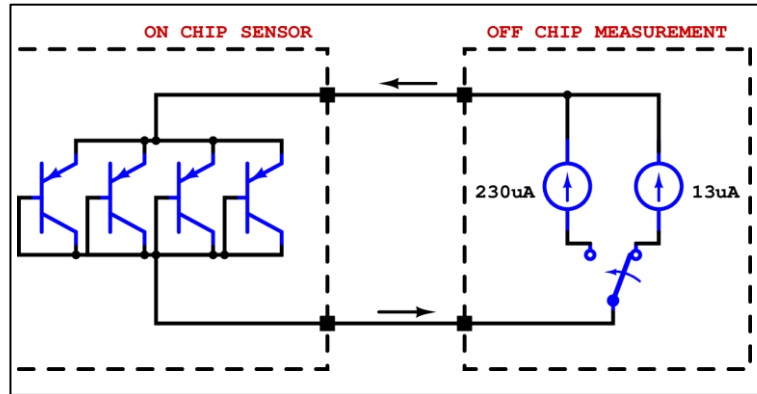


Figure 7-8 Capteur température

Le circuit externe mesure cette différence

$$\Delta V_{be} = n_f \frac{kT}{q} \ln \left( \frac{230\mu A}{13\mu A} \right)$$

laquelle est numérisée et transmise sur un bus I2C.

Les transistors bipolaires montés en diode sont disposés en parallèle afin d'approcher leur indice d'idéalité  $n_f$  à l'unité.

Ces transistors peuvent être du type NPN ou PNP. Dans tous les cas ils doivent être isolés du substrat afin de former une boucle de courant avec la mesure externe.

## 8 Design for test

### 8.1 Monitoring analogique (MUX\_ANA)

Certains signaux de type analogique seront multiplexés par un bloc d'interrupteurs vers le buffer FAB pour être visualisé en sortie du chip.

Le schéma de principe est montré ci-dessous.

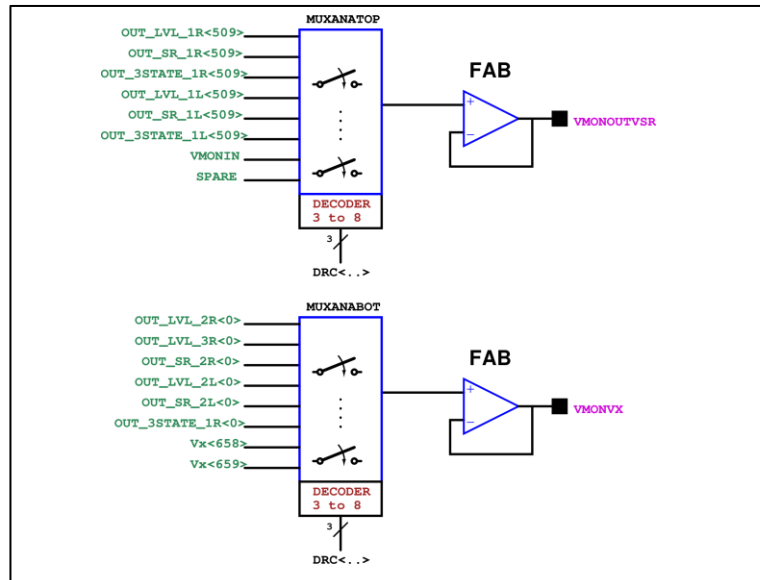


Figure 8-1 Multiplexeurs analogiques ((MUX\_ANA))

L'ensemble d'interrupteurs MUX\_ANA doit supporter des tensions négatives. Il est donc nécessaire de prévoir les isolations entre transistors pertinentes.

Le décodeur commandé par les bits correspondants du REGCONF sélectionne une des trois entrées. Une entrée <0,0> ne sélectionne pas d'entrée.

### 8.2 Monitoring numérique (MUX\_DIG)

Des signaux numériques internes, notamment les sorties des jetons des différents registres à décalage seront également multiplexées vers l'extérieur.

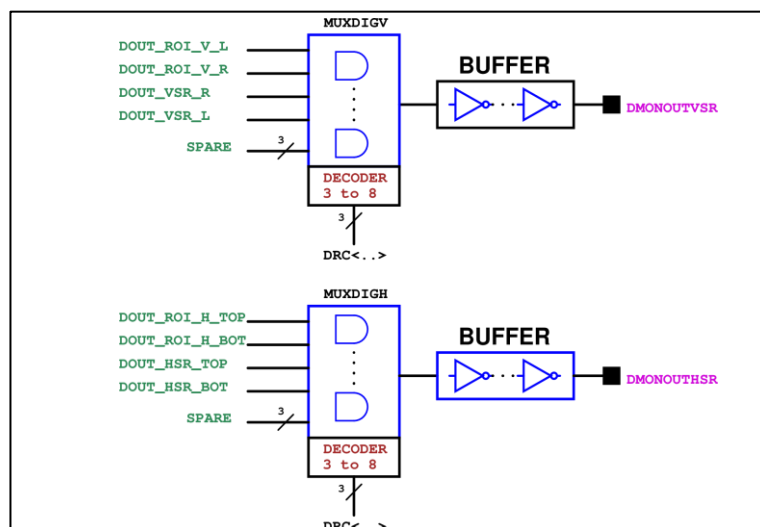


Figure 8-2 Multiplexeurs digitaux (MUX\_DIG)



N / Ref : DRT-LETI-DOPT-SCIM-LIS-24-12-002790

Le décodeur commandé par les bits correspondants du REGCONF sélectionne une des trois entrées. Une entrée <0,0> ne sélectionne pas d'entrée.

Les entrées SPARE pourront être définies ultérieurement au cours de la conception.

Le buffer doit être correctement dimensionné par rapport à la charge correspondante au plot et au routage de sortie (~30pF).

### 8.3 Liste signaux internes pour monitoring

Tableau 13 Liste signaux internes pour monitoring

Nom	Bits REGCONF			Fonction / Commentaires	
<b>MONITORING DIGITAL</b>	<b>DOUT_V&lt;2&gt;</b>	<b>DOUT_V&lt;1&gt;</b>	<b>DOUT_V&lt;0&gt;</b>		
	0	0	0	Pas de sélection	
DOUT_ROI_V_L	0	0	1	Test jeton sortie DOUT_ROI_V_L	
DOUT_ROI_V_R	0	1	0	Jeton sortie ROI_V_R	
DOUT_VSR_L	0	1	1	Test jeton sortie VSR_L	
DOUT_VSR_R	1	0	0	Test jeton sortie VSR_R	
	<b>DOUT_H&lt;2&gt;</b>	<b>DOUT_H&lt;1&gt;</b>	<b>DOUT_H&lt;0&gt;</b>		
	0	0	0	Pas de sélection	
DOUT_ROI_H_TOP	0	0	1	Test jeton sortie ROI_H_TOP	
DOUT_ROI_H_BOT	0	1	0	Test jeton sortie ROI_H_BOT	
DOUT_HSR_TOP	0	1	1	Test jeton sortie HSR_TOP	
DOUT_HSR_BOT	1	0	0	Test jeton sortie HSR_BOT	
DOUT_REGC	1	0	1	Test jeton sortie REGCONF	
<b>MONITORING ANALOGIQUE</b>	<b>DOUT_VSR&lt;3&gt;</b>	<b>DOUT_VSR&lt;2&gt;</b>	<b>DOUT_VSR&lt;1&gt;</b>	<b>DOUT_VSR&lt;0&gt;</b>	Fonction
	0	0	0	0	Pas de sélection
OUT_LVL1_L	0	0	0	1	
OUT_LVL2_L	0	0	1	0	
OUT_SR1_L	0	0	1	1	
OUT_SR2_L	0	1	0	0	
OUT_SR3_L	0	1	0	1	
OUT_3STATE_L	0	1	1	0	
OUT_LVL1_R	0	1	1	1	
OUT_LVL2_R	1	0	0	0	
OUT_SR1_R	1	0	0	1	
OUT_SR2_R	1	0	1	0	
OUT_SR3_R	1	0	1	1	
OUT_3STATE_R	1	1	0	0	
	<b>DVx&lt;1&gt;</b>	<b>DVx&lt;0&gt;</b>			
	0	0	Pas de sélection		
Vx<658>	0	1	Tension colonne Vx<658>		
Vx<659>	1	0	Tension colonne Vx<658>		
VMONIN	1	1	Test FAB		

## 9 Blindages, alimentations et découplages

Les signaux sensibles, spécialement ceux à impédances élevées, seront blindés lorsque ses conducteurs auront des parcours susceptibles de couplages générés par d'autres signaux voisins.

Tous les blocs susceptibles de générer des appels de courant importants doivent posséder une capacité de découplage à proximité (capacité MOS) afin d'absorber les pics de consommation. Afin de minimiser l'injection de courant dans le substrat, il est recommandable d'implémenter des capacités PMOS ou NMOS isolés (à discuter).

La limitation à 4 couches de métal empêche la réalisation de grilles d'alimentation. Les phénomènes d'oscillation et de chute ohmique sont donc à tenir en compte.

Afin d'éviter les retours de courant par le substrat, les masses VSS et DVSS devront posséder leurs propres rails métalliques proprement dimensionnés. Ainsi, les transistors NMOS des portes logiques auront forcément leur pin body connecté à VSS (substrat), mais leur source S sera connectée au rail DVSS. Voir figure ci-dessous :

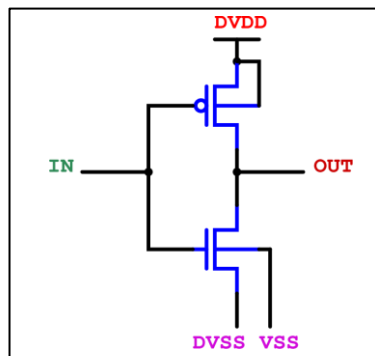


Figure 9-1 Connexions VSS et DVSS

Des précautions doivent être prises afin de prévenir des éventuelles oscillations lorsque le réseau RLC associé aux bondings et rails d'alimentation et de masse présente des fréquences de résonances proches ou inférieures aux fréquences de commutation de la cellule.

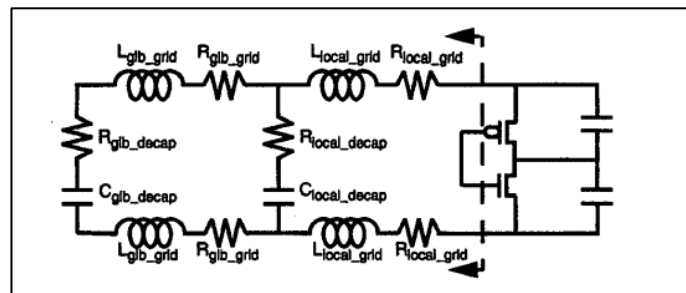


Figure 9-2 Éléments parasites alimentations

Les rails d'alimentations et de polarisations transportant des courants élevés seront dimensionnés proprement afin de minimiser les chutes de tension (IR drop), ainsi que le respect des règles d'electromigration recommandées par le DRM.

Chaque plot d'alimentation doit être associé à sa masse de retour dans un plot adjacent. Ainsi, par exemple, chaque pad d'alimentation analogique aura un pad VSS à proximité, etc.

## 10 Récapitulatif Entrées / Sorties

Le tableau ci-dessous liste toutes les entrées / sorties du chip, avec une description de leurs fonctions respectives.

Les entrées de type digital seront connectées à des pads possédants des résistances pull-down.

Tableau 14 Liste d'entrées / sorties

Nom	# de plots	PAD	Fonction / Commentaires	Valeur		
				Nom	Min	Max
ALIMENTATIONS						
AVDD1T	1	POWER	Alimentation analogique TOP	1.80	1.65	1.98
AVSS1T	1	GROUND	Masse analogique	0	0	0
AVDD1B	1	POWER	Alimentation analogique BOT	1.80	1.65	1.98
AVSS1B	1	GROUND	Masse analogique	0	0	0
VPCH	1	POWER	Alimentation précharge	1.6	1.2	1.7
AVSSPCH	1	GROUND	Masse analogique	0	0	0
VCLMP	1	POWER	Alimentation tension clamp CDS	1.1	1	1.4
AVSSCLMP	1	GROUND	Masse analogique	0	0	0
VRTTOP	1	POWER	Alimentation pixel	2.8	2.8	3.0
AVSSVRTTOP	1	GROUND	Masse analogique	0	0	0
VRTBOT	1	POWER	Alimentation pixel	2.8	2.8	3.0
AVSSVRTBOT	1	GROUND	Masse analogique	0	0	0
AVDDABT	1	POWER	Alimentation buffers TOP	1.80	1.65	1.98
AVSSABT	1	GROUND	Masse analogique	0	0	0
AVDDABB	1	POWER	Alimentation buffers BOT	1.80	1.65	1.98
AVDDFAB	1	POWER	Alimentation FAB	1.80	1.65	1.98
AVSSFAB	1	POWER	Alimentation FAB	0	-1	1
AVSSABB	1	GROUND	Masse analogique	0	0	0
DVDD1	1	POWER	Alimentation digitale	0.9	0.8	1.1
DVDD2	1	POWER	Alimentation digitale	0.9	0.8	1.1
DVSS1	1	GROUND	Masse digitale	0	0	0
DVSS2	1	GROUND	Masse digitale	0	0	0
VDDHILVL1L	1	POWER	Alimentation haute LVL 1 gauche	2.8	2.7	3.0
VLOILVL1L	1	POWER	Alimentation basse LVL 1 gauche	0	-1	1
VDDHILVL2L	1	POWER	Alimentation haute LVL 2 gauche	2.8	2.7	3.0
VLOLVL2L	1	POWER	Alimentation basse LVL 2 gauche	0	-1	1
VDDHILVL3L	1	POWER	Alimentation haute LVL 3 gauche	2.8	2.7	3.0
VLOLVL3L	1	POWER	Alimentation basse LVL 3 gauche	0	-1	1
VDDHISR1L	1	POWER	Alimentation haute SR 1 gauche	2.8	2.7	3.0
VLOSR1L	1	POWER	Alimentation basse SR 1 gauche	0	-1	1
VDDHISR2L	1	POWER	Alimentation haute SR 2 gauche	2.8	2.7	3.0

Nom	# de plots	PAD	Fonction / Commentaires	Valeur		
				Nom	Min	Max
VLOSR2L	1	POWER	Alimentation basse SR 2 gauche	0	-1	1
VDDHI3STL	1	POWER	Alimentation haute 3STATE gauche	2.8	2.7	3.0
VLO3STL	1	POWER	Alimentation basse 3STATE gauche	0	-1	1
VMEDL	1	POWER	Alimentation VMED 3STATE gauche	0	-1	1
VDDHILVL1R	1	POWER	Alimentation haute LVL 1 droite	2.8	2.7	3.0
VLOILVL1R	1	POWER	Alimentation basse LVL 1 droite	0	-1	1
VDDHILVL2R	1	POWER	Alimentation haute LVL 2 droite	2.8	2.7	3.0
VL0LVL2R	1	POWER	Alimentation basse LVL 2 droite	0	-1	1
VDDHILVL3R	1	POWER	Alimentation haute LVL 3 droite	2.8	2.7	3.0
VL0LVL3R	1	POWER	Alimentation basse LVL 3 droite	0	-1	1
VDDHISR1R	1	POWER	Alimentation haute SR 1 droite	2.8	2.7	3.0
VLOSR1R	1	POWER	Alimentation basse SR 1 droite	0	-1	1
VDDHISR2R	1	POWER	Alimentation haute SR 2 droite	2.8	2.7	3.0
VLOSR2R	1	POWER	Alimentation basse SR 2 droite	0	-1	1
VDDHI3STR	1	POWER	Alimentation haute 3STATE droite	2.8	2.7	3.0
VLO3STR	1	POWER	Alimentation basse 3STATE droite	0	-1	1
VMEDR	1	POWER	Alimentation VMED 3STATE droite	0	-1	1
TIER 1 SEULEMENT						
VDDIODIG	1	POWER	Alimentation couronne de plots	1.8	1.6	2.0
VSSIODIG	1	POWER	Masse couronne de plots	0	0	0
VSSIOANA	1	POWER	Masse couronne de plots	0	0	0
VDDIOANA	1	POWER	Alimentation couronne de plots	3.3	3	3.6
<i>Total alimentations</i>	<i>52</i>	<i>dont 10 gnd</i>				
<b>SIGNAUX HSR</b>						
DCLK_ROI_H	1	CMOS / IN	Horloge registre ROI horizontal	0	0	1.8
DIN_ROI_H	1	CMOS / IN	Jeton entrée registre ROI horizontal	0	0	1.8
DLOAD_ROI_H	1	CMOS / IN	Validation registre ROI horizontal	0	0	1.8
DIN_HSR	1	CMOS / IN	Jeton entrée HSR	0	0	1.8
DCLK_HSR	1	CMOS / IN	Horloge HSR	0	0	1.8
DRST_HSR_VSR	1	CMOS / IN	Reset HSR & Set ROI hor/ver	0	0	1.8
<i>Total HSR</i>	<i>6</i>					
<b>SIGNAUX BLT</b>						
DCLK_BLT	1	CMOS / IN	Horloge Bitline Test	0	0	1.8
<i>Total BLT</i>	<i>1</i>					
<b>SIGNAUX VSR</b>						
DIN_ROI_V	1	CMOS / IN	Jeton entrée ROI vertical	0	0	1.8

Nom	# de plots	PAD	Fonction / Commentaires	Valeur		
				Nom	Min	Max
DCLK_ROI_V	1	CMOS / IN	Horloge ROI vertical	0	0	1.8
DIN_VSR	1	CMOS / IN	Jeton entrée VSR	0	0	1.8
DCLK_VSR	1	CMOS / IN	Horloge VSR	0	0	1.8
DGLBL_LVL1L	1	CMOS / IN	Mode Global signal OUT_LVL1L	0	0	0.9
DLVL1L	1	CMOS / IN	Niveau sortie OUT_LVL1L	0	0	0.9
DINV_LVL1L	1	CMOS / IN	Inversion sortie OUT_LVL1L	0	0	0.9
DGLBL_LVL2L	1	CMOS / IN	Mode Global signal OUT_LVL2L	0	0	0.9
DLVL2L	1	CMOS / IN	Niveau sortie OUT_LVL2L	0	0	0.9
DINV_LVL2L	1	CMOS / IN	Inversion sortie OUT_LVL2L	0	0	0.9
DGLBL_LVL3L	1	CMOS / IN	Mode Global signal OUT_LVL3L	0	0	0.9
DLVL3L	1	CMOS / IN	Niveau sortie OUT_LVL3L	0	0	0.9
DINV_LVL3L	1	CMOS / IN	Inversion sortie OUT_LVL3L	0	0	0.9
DGLBL_SR1L	1	CMOS / IN	Mode Global signal OUT_SR1L	0	0	0.9
DHI_SR1L	1	CMOS / IN	Mémorisation niveau H OUT_SR1L	0	0	0.9
DLO_SR1L	1	CMOS / IN	Mémorisation niveau L OUT_SR1L	0	0	0.9
DINV_SR1L	1	CMOS / IN	Inversion sortie OUT_SR1L	0	0	0.9
DGLBL_SR2L	1	CMOS / IN	Mode Global signal OUT_SR2L	0	0	0.9
DHI_SR2L	1	CMOS / IN	Mémorisation niveau H OUT_SR2L	0	0	0.9
DLO_SR2L	1	CMOS / IN	Mémorisation niveau L OUT_SR2L	0	0	0.9
DINV_SR2L	1	CMOS / IN	Inversion sortie OUT_SR2L	0	0	0.9
DGLBL_3STL	1	CMOS / IN	Mode Global signal OUT_3STATEL	0	0	0.9
DHI_3STL	1	CMOS / IN	Mémorisation H OUT_3STATEL	0	0	0.9
DLO_3STL	1	CMOS / IN	Mémorisation L OUT_3STATEL	0	0	0.9
DINV_3STL	1	CMOS / IN	Inversion sortie OUT_3STATEL	0	0	0.9
DMED_HIL	1	CMOS / IN	Sortie OUT_3STATEL à VMED	0	0	0.9
DMED_LOL	1	CMOS / IN	Sortie OUT_3STATEL à VDDHI ou VLO	0	0	0.9
DGLBL_LVL1R	1	CMOS / IN	Mode Global signal OUT_LVL1R	0	0	0.9
DLVL1R	1	CMOS / IN	Niveau sortie OUT_LVL1R	0	0	0.9
DINV_LVL1R	1	CMOS / IN	Inversion sortie OUT_LVL1R	0	0	0.9
DGLBL_LVL2R	1	CMOS / IN	Mode Global signal OUT_LVL2R	0	0	0.9

Nom	# de plots	PAD	Fonction / Commentaires	Valeur		
				Nom	Min	Max
DLVL2R	1	CMOS / IN	Niveau sortie OUT_LVL2R	0	0	0.9
DINV_LVL2R	1	CMOS / IN	Inversion sortie OUT_LVL2R	0	0	0.9
DGLBL_LVL3R	1	CMOS / IN	Mode Global signal OUT_LVL3R	0	0	0.9
DLVL3R	1	CMOS / IN	Niveau sortie OUT_LVL3R	0	0	0.9
DINV_LVL3R	1	CMOS / IN	Inversion sortie OUT_LVL3R	0	0	0.9
DGLBL_SR1R	1	CMOS / IN	Mode Global signal OUT_SR1R	0	0	0.9
DHI_SR1R	1	CMOS / IN	Mémorisation niveau H OUT_SR1R	0	0	0.9
DLO_SR1R	1	CMOS / IN	Mémorisation niveau L OUT_SR1R	0	0	0.9
DINV_SR1R	1	CMOS / IN	Inversion sortie OUT_SR1R	0	0	0.9
DGLBL_SR2R	1	CMOS / IN	Mode Global signal OUT_SR2R	0	0	0.9
DHI_SR2R	1	CMOS / IN	Mémorisation niveau H OUT_SR2R	0	0	0.9
DLO_SR2R	1	CMOS / IN	Mémorisation niveau L OUT_SR2R	0	0	0.9
DINV_SR2R	1	CMOS / IN	Inversion sortie OUT_SR2R	0	0	0.9
DGLBL_3STR	1	CMOS / IN	Mode Global signal OUT_3STATER	0	0	0.9
DHI_3STR	1	CMOS / IN	Mémorisation H OUT_3STATER	0	0	0.9
DLO_3STR	1	CMOS / IN	Mémorisation L OUT_3STATER	0	0	0.9
DINV_3STR	1	CMOS / IN	Inversion sortie OUT_3STATER	0	0	0.9
DMED_HIR	1	CMOS / IN	Sortie OUT_3STATER à VMED	0	0	0.9
DMED_LOR	1	CMOS / IN	Sortie OUT_3STATER à VDDHI ou VLO	0	0	0.9
<i>Total VSR</i>	<i>50</i>					
<b>ARD BLOCK</b>						
SMPL_BLK_V1	1	CMOS / IN	Échantillonnage BLK-V1	0	0	0.9
SMPL_SIG_V2	1	CMOS / IN	Échantillonnage SIG-V2	0	0	0.9
V1	1	ANAL/IN	Tension auxiliaire V1	1	0.5	1.5
V2	1	ANAL/IN	Tension auxiliaire V2	0.5	0.5	1.5
CDSMODE	1	CMOS / IN	Sélection mode CDS	0	0	0.9
CLAMP	1	CMOS / IN	Clamp mode built-in CDS	0	0	0.9
VOUT_TOP_BLK	1	ANAL/OUT	Sortie signal BLK TOP	1	0.5	1.7
VOUT_TOP_SIG	1	ANAL/OUT	Sortie signal SIG TOP	1	0.5	1.7
VOUT_BOT_BLK	1	ANAL/OUT	Sortie signal BLK BOTTOM	1	0.5	1.7
VOUT_BOT_SIG	1	ANAL/OUT	Sortie signal SIG BOTTOM	1	0.5	1.7
<i>Total ARD</i>	<i>10</i>					

Nom	# de plots	PAD	Fonction / Commentaires	Valeur		
				Nom	Min	Max
BIAS BLOCK						
VBIAS	1	ANAL/IN	Tension de contrôle polarisations	1.5	0	2.5
VRSET1	1	ANAL/OUT	Contrôle VBIAS	1.5	0	2.5
VICOL	1	ANAL/IN	Tension de contrôle ICOL	1.5	0	2.5
VRSET2	1	ANAL/OUT	Contrôle VICOL	1.5	0	2.5
Total BIAS	4					
TEMP SENSOR						
TEMP_IN	1	ANAL/IN	Anode diode capteur température			
TEMP_OUT	1	ANAL/OUT	Cathode diode capteur température			
Total TEMP SENSOR	2					
MONITORING						
VMONIN	1	ANAL/IN	Entrée FAB monitoring	2,5	-2	4,6
VMONOUTVSR	1	ANAL/OUT	Sortie FAB monitoring VSR	0.8	0.8	3.5
VMONVX_TOP	1	ANAL/OUT	Sortie FAB monitoring Vx TOP	0.8	0.8	3.5
VMONVX_BOT	1	ANAL/OUT	Sortie FAB monitoring Vx BOTTOM	0.8	0.8	3.5
DMONOUTVSR	1	CMOS/OUT	Sortie DMUX monitoring VSR	0	0	1.8
DMONOUTHSR	1	CMOS/OUT	Sortie DMUX monitoring HSR	0	0	1.8
Total MONITORING	6					
REGCONF						
DCLK_REGC	1		Horloge Registre Configuration	0	0	1.8
DIN_REGC	1		Jeton Registre Configuration	0	0	1.8
DLOAD_REGC	1		Latch Registre Configuration	0	0	1.8
DRST_REGC	1		Reset Registre Configuration	0	0	1.8
Total REGCONF	4					
SPARE PADS						
SPARE SUPPLY	0	POWER				
SPARE VSS	0	POWER				
SPARE DIG IN	0	CMOS/IN				
SPARE DIG OUT	0	CMOS/OUT				
SPARE ANAL. IN	0	ANAL/IN				
SPARE ANAL.OUT	0	ANAL/OUT				
OTHER	0					
Total SPARE	0					
Total E/S 134		max 136				

Le tableau ci-dessous récapitule les différentes alimentations avec leurs respectives consommations maximales en continu et en transitoire.

**Tableau 15 Alimentations** (provisoire)

ALIMENTATIONS			V	I <sub>DC</sub> + I <sub>RMS</sub>	I <sub>TRANSIENT</sub>	Comment
AVDD1T	1	Alimentation analogique colonnes + CDS + polar	3.3	8mA	?	
AVDD1B	1		3.3			
VPCH	1	Alimentation precharge	2.5	0	?	
VRT	2	Alimentation pixel	2.7		5mA	pendant READ
VPIX	1	Autre alimentation pixel	2.7	0	?	en GLOBAL
AVDDABT	1	Alimentation FAB + LNAB	3.3	18,5mA	+8mA	10ns precharge @ 2,6V
AVDDABB	1		3.3			
DVDD	2	Alimentation digitale	1.8	0,5mA	?	
VDDHI1RDRS	1	Alimentation haute 1 RD_RS	3.3	~0	~μA	10ns
VLO1RDRS	1	Alimentation basse 1 RD_RS	0			
VDDHI2RDRS	1	Alimentation haute 2 RD_RS	3.6	~0	40mA	10ns/V
VLO2RDRS	1	Alimentation basse 2 RD_RS	0		4mA	100ns/V
VDDHI3RDRS	1	Alimentation haute 3 RD_RS	3.6	~0	40mA	10ns/V
VLO3RDRS	1	Alimentation basse 3 RD_RS	0		4mA	100ns/V
VDDHI1TG	1	Alimentation haute 1 TG	3.6	~0	100mA	10ns/V
VLO1TG	1	Alimentation basse 1 TG	0		10mA	100ns/V
VDDHI2TG	1	Alimentation haute 2 TG	3.6	~0	100mA	10ns/V
VLO2TG	1	Alimentation basse 2 TG	0		10mA	100ns/V
VDDHI3TG	1	Alimentation haute 3 TG	3.6	~0	100mA	10ns/V

GLOBAL MODE



ALIMENTATIONS			V	I <sub>DC</sub> + I <sub>RMS</sub>	I <sub>TRANSIENT</sub>	Comment
VLO3TG	1	Alimentation basse 3 TG	0		10mA	100ns/V
VDDIO	1	Alimentation couronne	3.3	0	0	

## 11 Mise en boîtier

*Tâche à effectuer par le CEA-LETI.*

Le chip a une dimension maximum de 3mm x 3mm. Il sera collé dans un boîtier plastique (OLGA136) avec fenêtre optique. Les liaisons électriques se feront par bonding (Al ou Au).

Le tableau ci-dessous indique les correspondances entre les pads du chip, la position des plots du boîtier et les terminaux extérieurs.

Boitier CPGA		Nom E/S
Pad	Pin	
ALIMENTATIONS		
1	F1	AVDD1T
2	F2	VSS

## 12 Suivi

Le suivi de l'avancement des prestations sera réalisé uniquement entre le chef du laboratoire LIS Laurent GEORJON et/ou le correspondant technique du CEA et le responsable identifié par le prestataire.

Ce suivi comporte des réunions mensuelles ainsi que la rédaction d'un compte-rendu hebdomadaire.

En cas de problème technique, des réunions pourront être organisées entre les responsables techniques CEA et le prestataire.

Toutes ces activités de suivi (réunions et comptes rendus) sont comprises dans le prix indiqué dans l'offre financière.

## 13 Confidentialité

Les obligations en matière de secret et de confidentialité ainsi que de propriété intellectuelle sont régies par les articles 11 et 12 des Conditions Générales d'Achat (CGA) du CEA.

Le prestataire doit préciser quelles sont les informations confidentielles contenues dans son offre. Il précise l'usage qui peut en être fait, la durée de l'obligation de confidentialité, les personnes tenues au secret et les personnes auxquelles l'information ne doit pas être transmise

## 14 Contacts

Pour toutes demandes d'information, contacter :

### 1/ Informations commerciales

Mme Valérie DIEUNA – Tél. : 04.38.78.23.19 – email : valerie.dielna@cea.fr

CEA-GRENOBLE

Service Achats

17, Rue des Martyrs

38054 GRENOBLE CEDEX 09

### 2/ Informations techniques

Responsable technique :

M. Josep SEGURA PUCHADES – Tél. : 04.38.78.01.58 – email : josep.segura-puchades@cea.fr

Responsable technique :

M Hugo DEWITTE – Tél. : 04.38.78.90.73 – email : hugo.dewitte@cea.fr

Responsable laboratoire :

M Laurent GEORJON – Tél. : 04.38.78.66.75 – email : laurent.georjon@cea.fr

CEA-GRENOBLE

LETI/DOPT

17, Rue des Martyrs

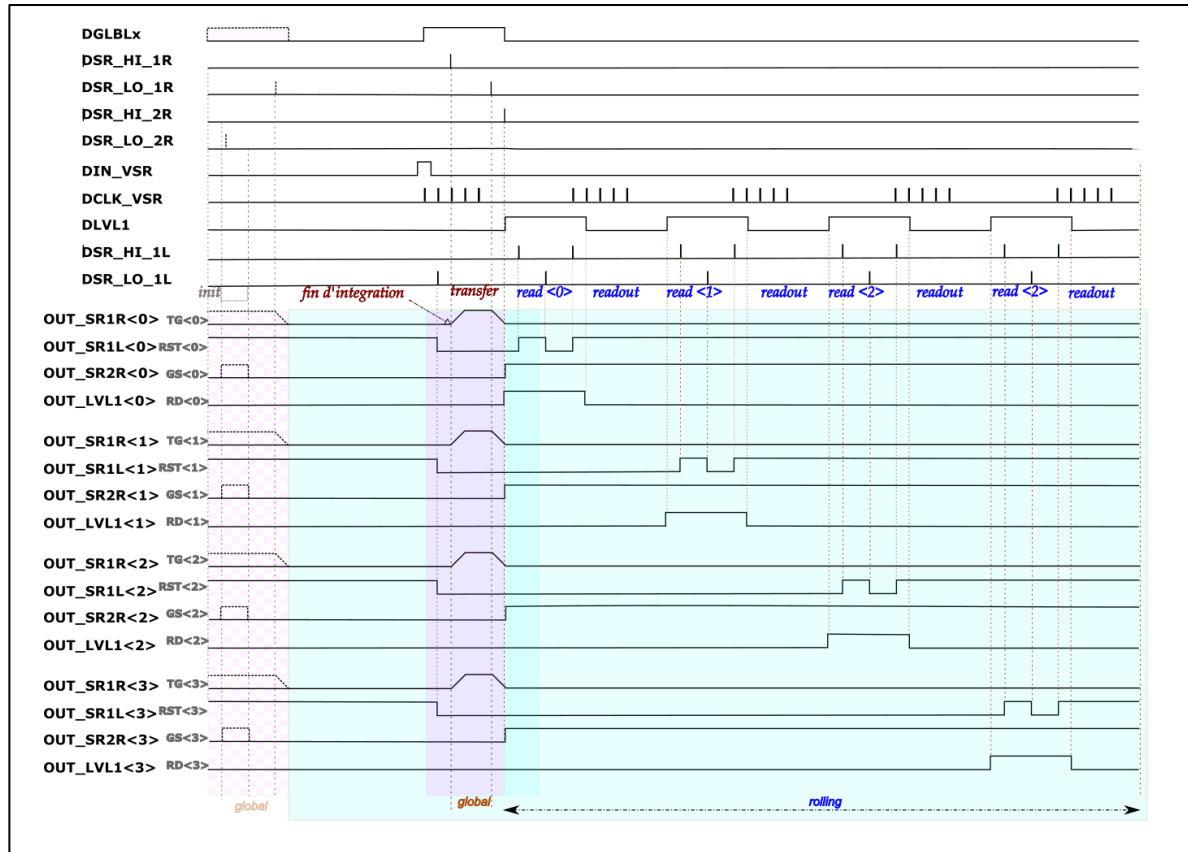
38054 GRENOBLE CEDEX 09

## 15 ANNEXE 1

### 15.1 PIXEL 5T. MODE GS

Un exemple de chronogramme pour un pixel 5T en mode Global Shutter est montré Figure 15-1 et Figure 15-2. On observe les deux modes : le mode global pour l'initialisation et début-fin d'intégration et le mode rolling shutter pour la lecture séquentielle.

Dans ce cas, l'horloge du registre à décalage DCLK\_VSR fonctionne par rafales de 5 impulsions décalées régulièrement.



**Figure 15-1 Chronogramme adressage vertical mode Global Shutter. Fin d'intégration, début de lecture**

La phase d'initialisation dessinée en pointillés est utilisée lors d'une mise sous tension ou bien pour le mode «photo» qui sépare la période d'intégration de celle de la lecture.

En mode vidéo, les signaux représentés en pointillés ne sont pas implémentés et le signal DGLOBAL permet de finaliser la période d'intégration et de transférer les charges vers les nœuds de lecture de tous les pixels simultanément.

Ci-dessous, Figure 15-2, le chronogramme montre le début de la phase d'intégration pendant la lecture de la matrice. La commande GS est simultanée sur tous les pixels.

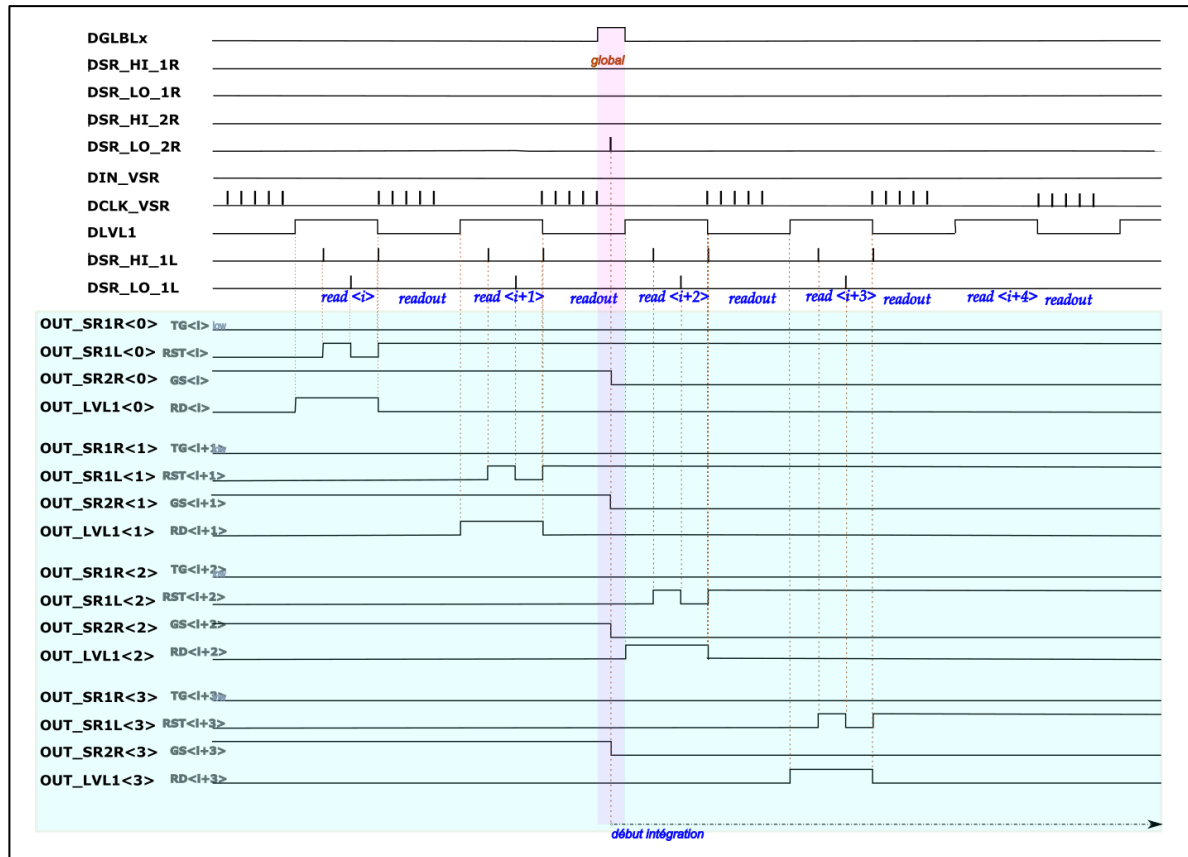


Figure 15-2 Chronogramme adressage vertical mode Global Shutter. Début d'intégration.

## 15.2 PIXEL 5T. MODE RS

En mode Rolling Shutter, l'horloge DCLK\_VSR présente une distribution différente, car le groupe de cinq périodes est divisé en deux sections : une pour le début d'intégration et une autre pour le fin d'intégration-lecture.

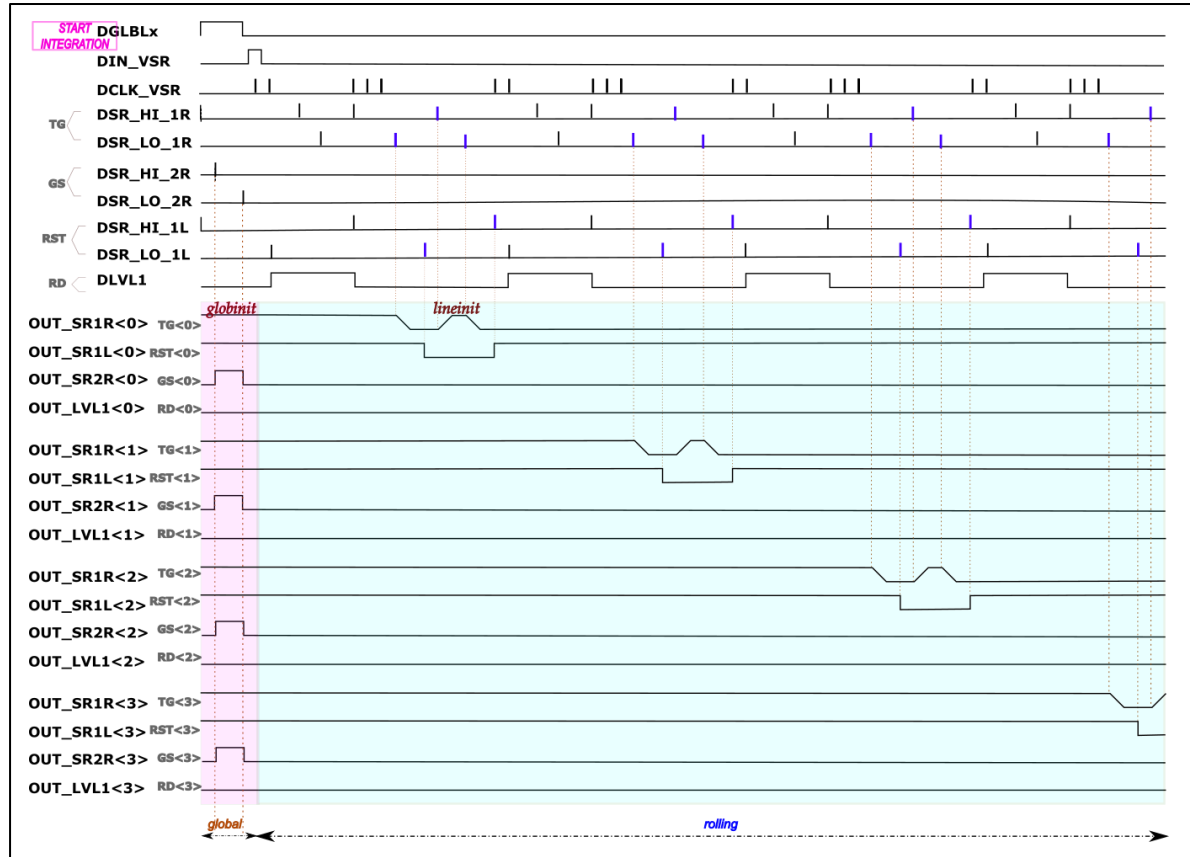
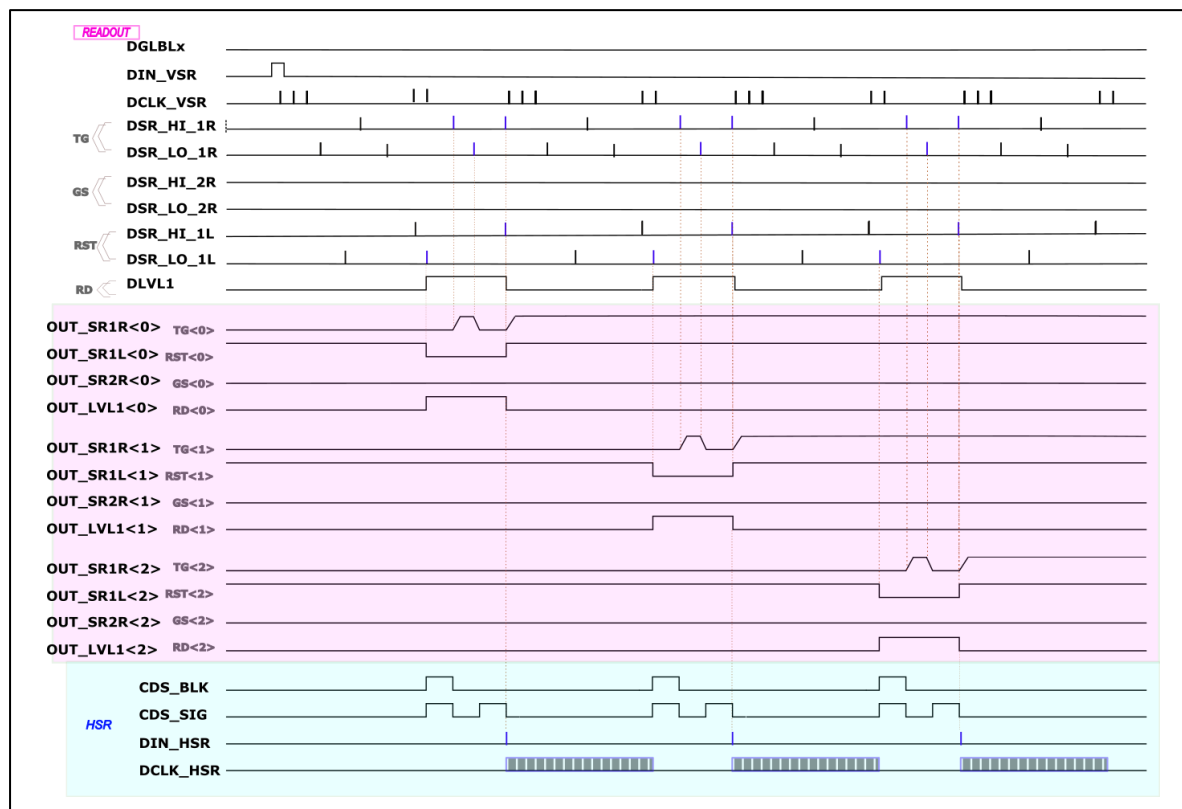


Figure 15-3 Chronogramme adressage vertical, mode Rolling Shutter. Début d'intégration

On observe les commandes Dx\_ et Dy\_ entre le deuxième et le troisième pulse DCLK\_VSR qui n'ont pas d'incidence sur les sorties, car le jeton du VSR n'est pas présent sur la cinquième bascule. Ces commandes seront effectives lors de la lecture de la matrice, comme montré dans le chronogramme suivant.



**Figure 15-4 Chronogramme adressage vertical, mode Rolling Shutter. Fin d'intégration-lecture**

Chaque fin de lecture en pied de colonne (CDS\_BLK + CDS\_SIG) est suivie par le lancement du jeton et de l'horloge du HSR. Son fonctionnement est décrit dans le chapitre suivant.